

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as elected Office

Date of mailing (day/month/year) 07 September 2001 (07.09.01)	
International application No. PCT/DE00/03601	Applicant's or agent's file reference GR 99 P 5026-PCT
International filing date (day/month/year) 11 October 2000 (11.10.00)	Priority date (day/month/year) 11 October 1999 (11.10.99)
Applicant YANG, Bin et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:
10 May 2001 (10.05.01)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Maria KIRCHNER Telephone No.: (41-22) 338.83.38
---	--

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
19. April 2001 (19.04.2001)

PCT

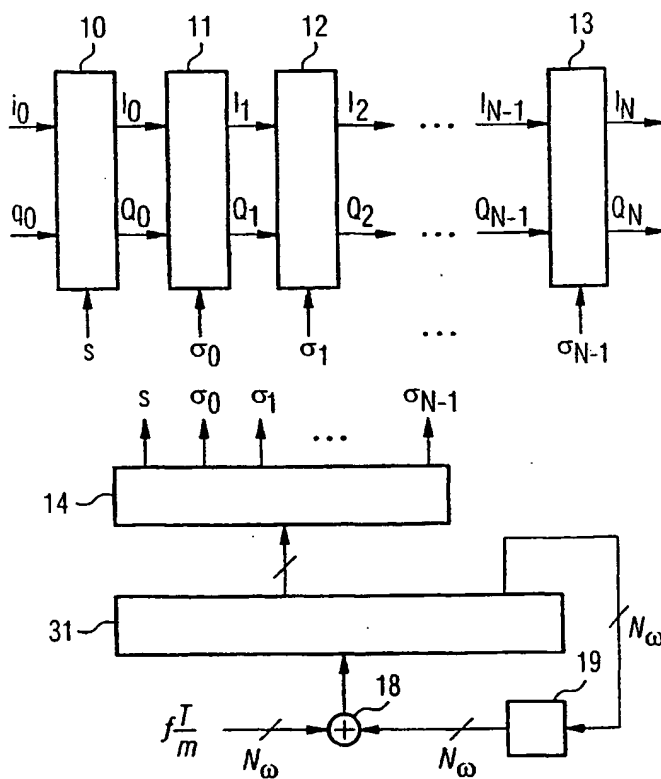
(10) Internationale Veröffentlichungsnummer
WO 01/28176 A3

- (51) Internationale Patentklassifikation⁷: H04L 27/00 (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): YANG, Bin [CN/DE];
Karl-Marx-Ring 39, 81735 München (DE). BUCH, Steffen [DE/DE]; Balanstrasse 84, 80541 München (DE).
(21) Internationales Aktenzeichen: PCT/DE00/03601
(22) Internationales Anmeldedatum:
11. Oktober 2000 (11.10.2000) (74) Anwälte: MEYER, Enno usw.; Weser & Kollegen,
Radeckestrasse 43, 81245 München (DE).
(25) Einreichungssprache: Deutsch (81) Bestimmungsstaaten (national): CN, JP, KR, US.
(26) Veröffentlichungssprache: Deutsch (84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).
(30) Angaben zur Priorität:
199 48 899.1 11. Oktober 1999 (11.10.1999) DE
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).
Veröffentlicht:
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: FREQUENCY CORRECTION USING THE CORDIC ALGORITHM

(54) Bezeichnung: FREQUENZKORREKTUR UNTER VERWENDUNG DES CORDIC-ALGORITHMUS



(57) Abstract: The invention relates to a method and a circuit for digitally correcting the frequency of a signal, especially for use in a transmitter/receiver circuit. The frequency of a complex digital signal is corrected by rotating the signal "pointer" (i_0 , q_0) about a predetermined angle in the complex I/Q plane according to a correction frequency, by means of the CORDIC algorithm. The CORDIC algorithm has microrotation blocks (11-13) and a character table (14) and a register (31) according to its N-stages.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur digitalen Frequenzkorrektur eines Signals, insbesondere zum Einsatz in einer Sender-/Empfängerschaltung. Zur Frequenzkorrektur eines komplexen digitalen Signals wird mittels des CORDIC-Algorithmus der Zeiger (i_0 , q_0) des Signals in der komplexen I/Q-Ebene um einen vorgegebenen Winkel entsprechend einer Korrekturfrequenz gedreht. Der CORDIC-Algorithmus weist entsprechend seiner N-Stufen Mikrorotationsblöcke (11-13) sowie eine Vorzeichentabelle (14) und ein Register (31) auf.

WO 01/28176 A3



(88) Veröffentlichungsdatum des internationalen

Recherchenberichts:

28. Februar 2002

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/03601

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H04L27/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

WPI Data, EPO-Internal, PAJ, INSPEC, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 486 095 A (PHILIPS NV) 20 May 1992 (1992-05-20) page 2, line 51 - line 54 page 6, line 34 - line 41 page 7, line 40 - page 8, line 11 figure 2	1-17
X	US 5 748 682 A (MOBIN MOHAMMAD SHAFIUL) 5 May 1998 (1998-05-05) column 13, line 17 - line 26 figure 8	1-17
X	US 5 550 869 A (GOLDENBERG YOAV ET AL) 27 August 1996 (1996-08-27) column 7, line 47 - line 67	1-17
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

18 April 2001

Date of mailing of the international search report

25/04/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Orozco Roura, C

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/03601

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>NAHM S ET AL: "A CORDIC-BASED DIGITAL QUADRATURE MIXER: COMPARISON WITH A ROM-BASED ARCHITECTURE"</p> <p>ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS,</p> <p>vol. 4, 31 May 1998 (1998-05-31), pages 385-388, XP000873520</p> <p>New York, USA</p> <p>ISBN: 0-7803-4456-1</p> <p>page 386, left-hand column</p>	1-17
A	<p>EP 0 481 543 A (PHILIPS NV)</p> <p>22 April 1992 (1992-04-22)</p> <p>column 2, line 10 -column 3, line 24</p>	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/03601

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0486095	A	20-05-1992	NL 9002489 A AT 148963 T DE 69124663 D DE 69124663 T ES 2100203 T FI 915331 A JP 6037664 A KR 209386 B US 5230011 A	01-06-1992 15-02-1997 27-03-1997 31-07-1997 16-06-1997 16-05-1992 10-02-1994 15-07-1999 20-07-1993
US 5748682	A	05-05-1998	NONE	
US 5550869	A	27-08-1996	AT 183869 T AU 716743 B AU 4933297 A AU 682336 B AU 5961594 A BR 9305988 A CA 2130269 A CN 1092231 A CZ 9401975 A CZ 9702794 A CZ 9702795 A CZ 9702796 A DE 69326140 D DE 69326140 T EP 0628229 A EP 0848523 A HU 68003 A JP 7508389 T NO 943189 A NZ 261042 A PL 305556 A PL 175825 B RU 2128399 C WO 9416505 A	15-09-1999 02-03-2000 05-03-1998 02-10-1997 15-08-1994 21-10-1997 21-07-1994 14-09-1994 15-02-1995 14-10-1998 14-10-1998 14-10-1998 30-09-1999 20-04-2000 14-12-1994 17-06-1998 29-05-1995 14-09-1995 28-10-1994 26-07-1996 23-01-1995 26-02-1999 27-03-1999 21-07-1994
EP 0481543	A	22-04-1992	GB 2248532 A JP 4290004 A	08-04-1992 14-10-1992

PCT/DE 00/03601

IPK 7 H04L27/22

IPK 7 H04L

WPI Data, EPO-Internal, PAJ, INSPEC, COMPENDEX

-/-

Orozco Roura, C

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	NAHM S. ET AL: "A CORDIC-BASED DIGITAL QUADRATURE MIXER: COMPARISON WITH A ROM-BASED ARCHITECTURE" ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, Bd. 4, 31. Mai 1998 (1998-05-31), Seiten 385-388, XP000873520 New York, USA ISBN: 0-7803-4456-1 Seite 386, linke Spalte	1-17
A	EP 0 481 543 A (PHILIPS NV) 22. April 1992 (1992-04-22) Spalte 2, Zeile 10 - Spalte 3, Zeile 24	1-17

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/03601

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0486095 A	20-05-1992	NL 9002489 A AT 148963 T DE 69124663 D DE 69124663 T ES 2100203 T FI 915331 A JP 6037664 A KR 209386 B US 5230011 A	01-06-1992 15-02-1997 27-03-1997 31-07-1997 16-06-1997 16-05-1992 10-02-1994 15-07-1999 20-07-1993
US 5748682 A	05-05-1998	KEINE	
US 5550869 A	27-08-1996	AT 183869 T AU 716743 B AU 4933297 A AU 682336 B AU 5961594 A BR 9305988 A CA 2130269 A CN 1092231 A CZ 9401975 A CZ 9702794 A CZ 9702795 A CZ 9702796 A DE 69326140 D DE 69326140 T EP 0628229 A EP 0848523 A HU 68003 A JP 7508389 T NO 943189 A NZ 261042 A PL 305556 A PL 175825 B RU 2128399 C WO 9416505 A	15-09-1999 02-03-2000 05-03-1998 02-10-1997 15-08-1994 21-10-1997 21-07-1994 14-09-1994 15-02-1995 14-10-1998 14-10-1998 14-10-1998 30-09-1999 20-04-2000 14-12-1994 17-06-1998 29-05-1995 14-09-1995 28-10-1994 26-07-1996 23-01-1995 26-02-1999 27-03-1999 21-07-1994
EP 0481543 A	22-04-1992	GB 2248532 A JP 4290004 A	08-04-1992 14-10-1992



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Publication number:

0 481 543 A1

(12)

EUROPEAN PATENT APPLICATION

(21) Application number: 91202506.1

(51) Int. Cl.⁵: H03H 17/02

(22) Date of filing: 26.09.91

(30) Priority: 01.10.90 GB 9021348

(43) Date of publication of application:
22.04.92 Bulletin 92/17

(84) Designated Contracting States:
DE FR GB

(71) Applicant: PHILIPS ELECTRONICS UK LIMITED
Phillips House 1-19 Torrington Place
London WC1E 7HD(GB)

(84) GB

(71) Applicant: N.V. Philips' Gloeilampenfabrieken

Groenewoudseweg 1
NL-5621 BA Eindhoven(NL)
(84) DE FR

(72) Inventor: Young, Bryan David
c/o Philips Research Laboratories
Redhill, Surrey RH1 5HA(GB)

(74) Representative: Moody, Colin James et al
PHILIPS ELECTRONICS Patents and Trade
Marks Department Philips House 1-19
Torrington Place
London WC1E 7HD(GB)

(54) Filtering arrangement.

(57) The output of a COordinate Rotation by Digital Computer (CORDIC) phase detection system at each step of its iterative procedure comprises a signal representing an iteration index number (r) and a polarity signal (δ_r). These signals are used to address a pair of read only memories (70a,70b) which each contain both positive and negative values of the angular displacement θ_r for each iterative step premultiplied by a filter tap coefficient (a,b). The outputs ($\theta_r a, \theta_r b$) of the ROMs are added (72a,90a,72b,90b) separately over a complete set of

iterative steps. One of the summed outputs is fed to a first non-inverting input of a signal combining means (94) and the other summed output is fed to a delay (92) whose output is fed to a second non-inverting input to the signal combining means. The output of the signal combining means (94) is fed to a further delay (96) whose output is fed to a third non-inverting input of the signal combining means. The output of the combining means (94) comprises a filtered angular displacement signal $\theta_r'(k)$.

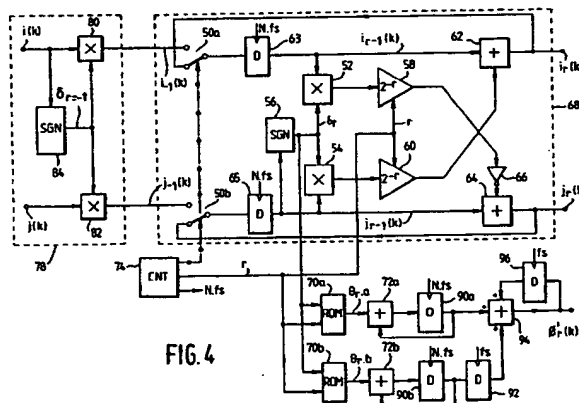


FIG. 4

EP 0 481 543 A1

The present invention relates to a filtering arrangement for digital signals, having particular, but not exclusive, application for use as a loop digital filter within a Costas carrier frequency tracking loop in a direct conversion radio receiver.

A direct conversion radio receiver incorporating a Costas loop of a type to which the present invention is applicable is shown in block schematic form in Figure 1 of the accompanying drawings. Radio signals are received by an antenna 10 and fed to a radio frequency (RF) stage 12 which mixes the incoming signals with signals from a first local oscillator (not shown) to give an in-phase signal I and a quadrature signal Q at a nominal intermediate frequency (IF). The two signals I, Q represent an input phasor and are both fed to an Exponential Multiplier (EM) 14 which also receives two quadrature related local oscillator signals 28,30 from a Numerically Controlled Oscillator (NCO) 26. The output of the EM is a pair of quadrature related signals I1, Q1 at baseband, in other words at zero intermediate frequency. The signal I1 is fed to a low pass filter 16 and the signal Q1 is fed to a low pass filter 20. The output of the filter 16 is an in-phase digital signal $i(k)$, where k is the sample number, and this signal is fed to an output terminal 18 and to a first input of a phase detector (PD) 22. The output of the filter 20 is a quadrature digital signal $j(k)$ and this signal is fed to a second input of the PD 22. If I1 and Q1 comprise analogue signals the two filters must include sampling or digitising means to provide $i(k), j(k)$. The output of the PD 22 is a phase signal $\theta(k)$ which is the angular distance between the phasor represented by $i(k)$ and $j(k)$ and the in-phase axis, in other words the phasor $i = 1, j = 0$. This phase signal $\theta(k)$ is fed to a low pass loop filter 24 whose output $\theta'(k)$ is fed to the NCO 26. The purpose of the Costas loop comprising the exponential multiplier 14, the phase detector 22, the filter 24 and the NCO 26 is to remove any elements of the residual carrier frequency present on the signals I, Q to allow data to be recovered from the in-phase digital signal $i(k)$ at the terminal 18. This is achieved by arranging for the NCO 26 to track the rotating component of the incoming phasor represented by I and Q. The phase detector, which may be likened to an arctangent function, generates correction signals which are fed to the NCO if the vector represented by the signals $i(k)$ and $j(k)$ departs from the in-phase axis. The filter 24 is included to maintain stability in the loop and will generally have a very low bandwidth of the order of 10 Hz.

One means of realising the phase detector 22 is to use a look-up table comprising a Read Only Memory (ROM) and such a ROM is shown in Figure 2 of the accompanying drawings. The address lines 32 of the ROM 34 are coupled to

receive the quadrature related digital signals $i(k), j(k)$ and the output $\theta(k)$ is provided from the ROM on data lines 36. Each location of the ROM 34 is programmed with a phase value corresponding to the angle represented by the combined values of $i(k)$ and $j(k)$.

Another means of realising the phase detector is to use an iterative procedure and an example of such a procedure is now described.

Figure 3 of the accompanying drawings shows a phase detection system which is described in "The CORDIC Trigonometric Computing Technique" by Jack E. Volder in IRE Transactions on Electronic Computers, September 1959 at pages 330-334 followed by a low pass loop filter. A brief summary of the CORDIC, which stands for COordinate Rotation by DIgital Computer, technique is included here. The baseband sampled in-phase digital signal $i(k)$ and the quadrature digital signal $j(k)$ which may be derived from the outputs of the filters 16,20 (Figure 1) are fed to a first input of a multiplier 40 and to a first input of a multiplier 42, respectively. The signal $j(k)$ is also fed to a sign determining means (SGN) 44. The output of the SGN 44 is a signal δ_{r-1} of fixed amplitude whose polarity is the same as that of its input, and which is fed to the input of an inverter 41 and to a second input of the multiplier 42. The output of the inverter 41 is fed to a second input of the multiplier 40. The output of the multiplier 40 is a signal $j_{-1}(k)$ and the output of the multiplier 42 is a signal $i_{-1}(k)$. The output of the sign determining means 44 is also fed to a first input of a multiplier 46 also having a second input which is fed with a constant scalar value equivalent to an angle of $\pi/2$ radian. The output of the multiplier 46 is a signal $\theta_{-1}(k)$. The section of the system shown in Figure 3 thus far described is enclosed in a box 38 indicated in broken lines and its function is as follows. If the incoming phasor represented by the signals $i(k)$ and $j(k)$ lies in the first quadrant both $i(k)$ and $j(k)$ will be positive and so will the output δ_{r-1} of the SGN 44. The signal δ_{r-1} is inverted by the inverter 41 and applied to the multiplier 40 so that the input $i(k)$ is inverted in the multiplier 40 and becomes the signal $j_{-1}(k)$. The signal $j(k)$ is multiplied by δ_{r-1} in the multiplier 42 and becomes the signal $i_{-1}(k)$. The effect of this inversion and reversal is that the input phasor has been rotated through $\pi/2$ radian in a clockwise direction and now lies in the fourth quadrant. If the incoming phasor lies in the fourth quadrant, both $j(k)$ and δ_{r-1} will be negative and so in this case $j(k)$ will be inverted in the multiplier 42 and the phasor will be rotated anticlockwise through $\pi/2$ radian and will lie in the first quadrant. By similar reasoning, an input phasor lying in the second or third quadrants will be rotated by the section 38 to lie in the first or fourth quadrants,

respectively. The multiplier 46 calculates the rotation applied to the incoming phasor by this first stage and the result of this calculation is a signal $\theta_{-1}(k)$.

The remaining section 68 of the implementation of the CORDIC algorithm shown in Figure 3 is concerned with performing an iterative procedure to determine that portion of $\theta(k)$ remaining after the first rotation. This portion of $\theta(k)$ is an intermediate phasor represented by $i_{-1}(k)$ and $j_{-1}(k)$. A total of (N-1) iterations are performed by the section 68, numbered 0 to (N-2), which are denoted by an index number r . The iteration number $r=-1$ is the $\pm\pi/2$ radian rotation performed by the section 38 and described above. The magnitude of the rotation at each iteration is determined by what can be effected using one or more rotate to the right procedures on the binary bits of the input data and so N must be less than the number of bits used to represent the incoming data. Using a rotate to the right technique in this manner allows the CORDIC algorithm to avoid using complex and computationally intensive multiply or divide routines and it was for this reason that it was originally devised.

The operation of the CORDIC algorithm is under the control of a counting means (CNT) 74 which will count at a rate of N.fs, to provide the iteration index number r , where fs is the data rate of the incoming signals $i(k), j(k)$ and N is the total number of iterations performed. A clock signal at a rate of fs will already be available from elsewhere within the receiver. The signal $i_{-1}(k)$ from the section 38 is fed to a first input of a single pole two way switch 50a and the signal $j_{-1}(k)$ from the section 38 is fed to a first input of a single pole two way switch 50b. The signal $\theta_{-1}(k)$ from the multiplier 46 is fed to a first input of a single pole two way switch 50c. Each of the three switches 50a, 50b and 50c has a first input, a second input, and a moving contact which can connect an output to either of the inputs. The three switches are ganged together so that their outputs are either all connected to their first respective inputs or to their second respective inputs simultaneously. In the drawing the outputs of the switches are shown connected to their second inputs. The position of the switches is controlled by the counting means (CNT) 74 such that at the end of the first iteration, $r=-1$, the outputs of the switches are connected to their first inputs to receive the signals $i_{-1}(k), j_{-1}(k), \theta_{-1}(k)$ and for the remainder of the iterative process the outputs of the switches are connected to their second inputs to receive the signals $i_r(k), j_r(k), \theta_r(k)$. The output of the switch 50a is fed to a D-type flip-flop 63 having a clock rate of N.fs. The output of the flip-flop 63 is fed to a first input of a multiplier 52 and to a first input of a summer 62. The output of the switch 50b is fed to a D-type flip-

flop 65 having a clock rate of N.fs. The output of the flip-flop 65 is fed to a first input of a multiplier 54, to a first input of a summer 64 and to a sign determining means (SGN) 56. The output of the SGN 56 is a signal δ_r which is fed to a second input of the multiplier 52, to a second input of the multiplier 54 and to a first input of a read only memory (ROM) 70. The output of the multiplier 52 is fed to a first shift to the right means 58 which shifts the multiplier output by a number of bits equal to the iteration number r . This shift to the right means may be considered as a gain stage with a gain of 2^r . The value of the iteration index number r is fed to the means 58 and also to a second shift to the right means 60 by the CNT 74. The output of the means 58 is fed to the input of an inverter 66 and the output of the inverter 66 is fed to a second input of the summer 64. The output of the summer 64 is a quadrature output signal $j_r(k)$ which is fed to the second input of the switch 50b. The output of the multiplier 54 is fed to the second shift to the right means 60, whose output is fed to a second input of the summer 62. The shift to the right means 60 operates in the same manner as the shift to the right means 58. The output of the summer 62 is an in-phase output signal $i_r(k)$ which is fed to the second input of the switch 50a. The section of Figure 3 described in this paragraph with the exception of the ROM 70, the CNT 74 and the switch 50c forms an iterative rotation section which is shown enclosed in a box 68 illustrated in broken lines.

The output of the switch 50c is fed to a D-type flip-flop 73 having a clock rate of N.fs. The output of the flip-flop 73 is fed to a first input of a summer 72. A second input of the summer 72 is fed from the output $\pm\theta_r$ of the ROM 70. The ROM 70 holds a set of values θ_r which correspond to the angular rotation at each iteration and also holds the negatives of those values, it is addressed by the iteration number r and the output signal δ_r of the SGN 56. The signal δ_r determines the polarity of the rotation signal which is fed to the summer 72. The output of the summer 72 is a phase output signal $\theta_r(k)$ which is available at a terminal 71 and which is fed to the second input of the switch 50c.

In operation the iterative rotation section 68 of the phase detection system receives quadrature related signals which represent phasors lying in either the first or the fourth quadrants. If an input lies in the first quadrant, $i_r(k), j_r(k), \delta_r$ will be positive with the effect that the outputs of the multipliers 52 and 54 will have polarities which are the same as their inputs. The signal $i_{r-1}(k)$ will be multiplied by 2^r by the first shift to the right means 58 and inverted by the inverter 66 prior to being fed to the summer 64. In the summer 64 this inverted signal will be added to the output of the

flip-flop 65 to provide the $j_r(k)$ output signal. The signal $j_{r-1}(k)$ will be multiplied by 2^{-r} by the second shift to the right means 60 and added to the output of the flip-flop 63 in the summer 62 to give the $i_r(k)$ output signal. At each step of the iteration if the imaginary or quadrature component $j_{r-1}(k)$ of the phasor is positive, the phasor will be rotated in a clockwise direction. If the imaginary component of the phasor is negative, the phasor will be rotated in an anti-clockwise direction. The magnitude of the angle through which the phasor is rotated at each iteration is equal to $\arctan(2^{-r})$ so at iteration number 0 the angle is equal to $\arctan(1)$ or $\pi/4$ radian. The ROM 70 provides the angular magnitude and the sign of the rotation at each iteration so the output of this ROM may be positive or negative as determined by the signal δ_r . The summer 72 together with the flip-flop 73 maintain a cumulative total of the angles through which the phasor has been rotated since the start of each series of iteration steps. In a similar manner, the summer 62 together with the flip-flop 63 maintain a cumulative total of the changes in the magnitude of the vector $i_r(k)$. The iteration proceeds either until the final iteration step or until a comparison device (not shown) determines that the error in the value of $\theta_r(k)$ is small enough. When a comparison device is not provided, after the last iteration the index number $r = (N-2)$ and so $i_r(k) = i_{N-2}(k)$, $j_r(k) = j_{N-2}(k)$, $\theta_r(k) = \theta_{N-2}(k)$. The signal $j_{N-2}(k)$ should be very small and the signals $i_{N-2}(k)$ and $\theta_{N-2}(k)$ should give the magnitude and the phase angle of the input phasor, respectively. The iteration number r is reset to -1, the flip-flops 63, 65, 73 are cleared and the process repeats itself.

When it is being used within a Costas loop the CORDIC algorithm need only provide the phase signal $\theta_{N-2}(k)$ to the NCO 26 (Figure 1) although the magnitude signal $i_{N-2}(k)$ may be of interest when a range of the frequency spectrum is being searched by a receiver for signals of differing strengths.

When a phase detection system of the type described above is used within a Costas loop, a loop filter 24 is included after the detector to stabilise the loop. One suitable loop filter has a transfer function of:

$$\theta'(k) = a\theta(k) + b\theta(k-1) + \theta'(k-1)$$

which is a first order infinite impulse response (IIR) filter having two tap coefficients a and b . Either or both of the tap coefficients a, b may be negative. A filter 24 having this transfer function is shown in block schematic form within the box shown in broken lines in Figure 3.

An output signal $\theta_r(k)$ from the output of the summer 72 is fed to a first input of a multiplier 91a and to a first input of a multiplier 91b. A second

input of the multiplier 91a is fed with a first filter tap coefficient a and a second input of the multiplier 91b is fed with a second filter tap coefficient b . The output of the multiplier 91a is fed to a non-inverting input of a summer 94. The output of the multiplier 91b is fed to a D-type flip-flop 92 having a clock frequency of f_s . The output of the flip-flop 92 is fed to a non-inverting input of the summer 94. The output of the summer 94 comprises a filtered angular signal $\theta'_r(k)$ which is fed to a D-type flip-flop 96 having a clock frequency of f_s . The output of the flip-flop 96 is fed to a non-inverting input of the summer 94. The filter 24 is clocked so that the signal $\theta_r(k)$ is only accepted as an input after the final iteration of the section 68 and $\theta_r(k) = \theta_{N-2}(k)$.

The operation of the filter 24 requires two multiplications to be performed in the multipliers 91a, 91b, the first by the filter tap coefficient a , and the second by the filter tap coefficient b which multiplications can substantially increase the overall computational load resulting from the use of the IIR filter 24.

It is an object of the present invention to provide a filtering arrangement for digital signals in which the multiplications of the incoming signal by the filter tap coefficients result in a reduced computational complexity.

According to a first aspect of the present invention there is provided a filtering arrangement for a digital signal represented by a plurality of bits, comprising at least a first look-up table and a second look-up table which are both addressed by the said plurality of bits, the first look-up table containing a plurality of data values premultiplied by a first scalar constant and the second look-up table containing the plurality of data values premultiplied by a second scalar constant, an output of the first look-up table being coupled to a first input of a signal combining means, an output of the second look-up table being coupled to the input of a delay means, an output of the delay means being coupled to a second input of the signal combining means and the output of the signal combining means comprising an output of the filtering arrangement.

The above described arrangement provides a first order finite impulse response (FIR) filter for a digital signal. By feeding the output of the filtering arrangement to a delay means and feeding the output of this delay means to a further input of the signal combining means, an infinite impulse response (IIR) filter can be constructed. The signal or signals fed back in this manner may be scaled in magnitude prior to being fed to the signal combining means and one means of so doing is to include a ROM look-up table in the feedback signal path.

The digital signal for which the filtering arrangement is provided may represent an intermedi-

ate signal, for example the numerical output of one step of an iterative process. In this case the filtering means may include separate summing means coupled to the output of each look-up table which summing means are operable to add the outputs of all of the iterative steps and then to feed the final output of the iterative process to the signal combining means.

Typically the at least two look-up tables will comprise Read Only Memories (ROMs) but if, for example, Random Access Memories (RAMs) or other dynamically alterable memory means are used as the look-up tables then the characteristics of the filtering arrangement could be altered in use.

A second aspect of the present invention provides a filtering arrangement for a digital signal represented by a plurality of bits which comprises the output of an iterative system, comprising at least a first look-up table and a second look-up table which are both addressed by the said plurality of bits, the first look-up table containing a plurality of data values premultiplied by a first scalar constant and the second look-up table containing the plurality of data values premultiplied by a second scalar constant, an output of the first look-up table being coupled to an input of a first summing means whose output is coupled to a first input of a signal combining means, an output of the second look-up table being coupled to an input of a second summing means whose output is coupled to a second input of the signal combining means, the summing means being operable to add the outputs of the iterative system over at least a complete set of iterative steps and at least one of the summing means being operable to add a respective output of the iterative system over a plurality of sets of iterative steps, and the output of the signal combining means comprising an output of the filtering arrangement.

According to a third aspect of the present invention there is provided a radio receiver comprising at least a first frequency down conversion stage for providing quadrature related outputs, a further frequency down conversion stage having signal inputs connected to receive the quadrature related outputs of the first frequency down conversion stage, the further frequency down conversion stage comprising a local oscillator having a control input and a pair of quadrature related outputs and a means for multiplying the signal inputs and the local oscillator outputs to provide a first and a second output in phase quadrature, the outputs of the further frequency down conversion stage being coupled to inputs of first and second filtering means respectively, an output of the first filtering means comprising an output of the receiver and being fed to a first input of a phase detection and filtering means, an output of the second filtering

means being fed to a second input of the phase detection and filtering means which has an output coupled to the control input of the local oscillator, the output signals from the first and second filtering means comprising an input phasor to the first and second inputs of the phase detection and filtering means, characterised in that the phase detection and filtering means comprises means for rotating the input phasor to produce an intermediate phasor which lies in one of two adjacent angular quadrants, means for rotating the intermediate phasor in a series of iterative steps through a plurality of successively decreasing angular displacements towards an axis common to the two adjacent angular quadrants, means for counting the index number of each iterative step and applying the index number to at least two look-up tables containing entries which are equal to products of the angular displacements premultiplied by different scalar constants, means for modulating the polarity of the outputs of the at least two look-up tables in response to the direction of the angular displacement for each iterative step and at least a first and a second means coupled to the look-up tables for summing their outputs over a complete series of iterative steps, the output of the first summing means is coupled to the input of a delay means whose output is coupled to an input to a signal combining means, the output of the second summing means is coupled to another input of the signal combining means, the output of the signal combining means is coupled to at least one further delay means, the output of the or each further delay means is coupled to the or a respective further input of the signal combining means and the output of the signal combining means comprises the output of the phase detection and filtering means.

The phase detection means of the radio receiver in accordance with the present invention performs a different first rotation to that of the phase detection system shown in Figure 3. Binary phase shift keyed (BPSK) signals have 180° or Π radian shifts in phase that represent the data and a radio receiver used to receive these signals must not track these changes otherwise the data will be lost. Consequently the first rotation stage of the above described receiver performs a 180° or Π radian shift on the incoming signal if the phasor representing the incoming signal lies in the third or fourth angular quadrants and no record is made of this shift. Consequently the BPSK data phase changes on the incoming signal are left intact.

The radio receiver in accordance with the present invention includes a Costas carrier frequency tracking loop and the means for multiplying the signal inputs with the local oscillator outputs in such a loop may be an exponential multiplier. An

exponential multiplier will usually generate fewer unwanted harmonics at its output than a pair of mixers used to perform the same function and this may permit the specifications of the first and second filtering means to be relaxed.

The loop filter within the phase detection and filtering means described above is a first order infinite impulse response (IIR) filter. By the addition of further input and feedback stages a higher order filter is realisable. A scaling device may be included in series with these further feedback stages to modify the amplitude of the fed-back signal.

The outputs of the at least two look-up tables must be modulated in accordance with the polarity of the rotation at each iterative step and a number of methods for so doing will be apparent to those skilled in the art. One possible method is to use a look-up table that contains entries for both the positive and negative values of the premultiplied angular displacements arranged so that the alteration of the value of one address bit will alter the polarity of the output signal from the look-up table. A second possible method requires that the first and second summing means have an input which is coupled to the output of the look-up table which may be reversed in polarity so that they either behave as adders or subtractors in response to a control signal. This may also be thought of as switching an inverter into or out of the signal path between the look-up tables and the summing means.

The bandwidth of the loop filter may need to be varied in operation, for example to have a wide bandwidth during a search for a radio signal and a narrow bandwidth to track the signal once it has been found. This may be achieved using a radio receiver in accordance with the present invention by realising the at least two look-up tables as dynamically alterable memory devices such as Random Access Memories (RAMs). When required, a new set of data values could be loaded into the look-up tables or the current entries could be multiplied by a scalar constant to provide new look-up table entries.

The present invention will now be explained and described, by way of example, with reference to Figures 4, 5, 6, 7a and 7b of the accompanying drawings, wherein:

Figure 4 is a block schematic diagram of a phase detection system followed by a filtering arrangement in accordance with the present invention,

Figure 5 is a block schematic diagram of an alternative phase detection system and a filtering arrangement incorporating a first order IIR filter,

Figure 6 is a block schematic diagram of an extension to the system shown in Figure 5 to

provide a second order IIR filter,

Figure 7a is a block schematic diagram of a first order filtering arrangement, and

Figure 7b is a block schematic diagram of the first order filtering arrangement implemented in accordance with the present invention.

Features of the system shown in Figures 4 to 7 which correspond to those shown in Figures 2 and 3 have been identified using the same reference numerals.

In Figure 4 an input phasor is represented by an in-phase signal $i(k)$ and a quadrature signal $j(k)$ which may be derived as shown in Figure 1. The in-phase signal $i(k)$ is fed to an input of a sign determining means (SGN) 84 and to a first input of a multiplier 80. The quadrature signal $j(k)$ is fed to a first input of a multiplier 82. The output of the SGN 84 is a signal δ_{r-1} which is fed to the second inputs of the multipliers 80,82. The output of the multiplier 80 is a signal $i_{-1}(k)$ and the output of the multiplier 82 is a signal $j_{-1}(k)$. The section of the system shown in Figure 4 thus far described is enclosed in a box 78 indicated in broken lines and its purpose is to rotate the phasor represented by the signals $i(k)$ and $j(k)$, if necessary, to lie in the first or fourth quadrant. If the incoming phasor lies in the second or the third quadrants the signal $i(k)$ will be negative, the output δ_{r-1} of the SGN 84 will also be negative and the effect of the multipliers 80,82 will be to make $i_{-1}(k) = -i(k)$ and $j_{-1}(k) = -j(k)$ respectively. These inversions are equivalent to a Π radian rotation of the phasor represented by the signals $i(k), j(k)$. If the incoming phasor lies in the first or fourth quadrants, the signal δ_{r-1} will be positive and the multipliers 80,82 will have no effect so that the signals $i_{-1}(k) = i(k)$ and $j_{-1}(k) = j(k)$. The reason for this method of rotation, as opposed to that shown in Figure 3, is so that any BPSK data present on the signals $i(k), j(k)$ will not be lost as described previously.

The outputs $i_{-1}(k), j_{-1}(k)$ of the section 78 are then fed to an iterative rotation section 68 which is identical with that of Figure 3. Accordingly in the interests of brevity the description of this section of the phase detection system will not be repeated. Since the initial Π radian phase rotation performed by the section 78 is not recorded, the multiplier 46 and the switch 50c (Figure 3) have been omitted.

The remainder of the system shown in Figure 4 is concerned with the production of two scaled angular displacements and the filtering of the output of the CORDIC algorithm. A counting means (CNT) 74 has an output r which is the iteration number, controls the two switches 50a,50b and provides a clock signal $N.fs$ in the same manner as that of the system shown in Figure 3. A ROM 70a contains a set of scaled angular displacements θ_r , which are equal to those held in the ROM 70

(Figure 3) multiplied by a constant a and a ROM 70b contains a set of scaled angular displacements $\theta_{r,b}$ which are equal to those held in the ROM 70 multiplied by a constant b . The constants a and b are filter coefficients determined in a conventional manner as known from, for example, "Theory and Application of Digital Signal Processing" by L. Rabiner and B. Gold, Prentice Hall 1975. The two ROMs 70a,70b will typically contain the scaled angular displacements with a resolution of 16 to 18 bits and also include the inverses of the displacements. The two ROMs 70a,70b are both addressed in the same manner, their most significant address bit being fed from the output δ_r of the SGN 56 and their remaining address bits being fed with the iteration index number r provided by the CNT 74. By rearranging the contents of the ROMs 70a,70b an address bit other than the most significant one could be addressed by the signal δ_r and used as a polarity reversing input. The output $\theta_{r,a}$ of the ROM 70a is fed to a first non-inverting input of a summer 72a, the output of which summer is fed to the input of a D-type flip-flop 90a. The clock input of the flip-flop 90a is fed from the $N.f_s$ clock signal supplied by the CNT 74. The contents of the flip-flop 90a are reset to zero at the start of each series of iterations. The output of the flip-flop 90a is fed to a second non-inverting input of the summer 72a and to a non-inverting input of a summer 94. The output $\theta_{r,b}$ of the ROM 70b is fed to a first non-inverting input of a summer 72b whose output is fed to a D-type flip-flop 90b. The clock and reset connections for the flip-flop 90b are the same as those of the flip-flop 90a. The output of the flip-flop 90b is fed to a second non-inverting input of the summer 72b and to an input of a D-type flip-flop 92. The flip-flop 92 is used as a delay of one sampling period and so its clock line is fed with a signal at a frequency of f_s . The output of the flip-flop 92 is fed to a non-inverting input of the summer 94. The output of the summer 94 is a filtered phase error signal $\phi'(k)$ which comprises the output of the system. The signal $\phi'(k)$ is additionally fed to a D-type flip-flop 96 and may be fed to a NCO 26 (Figure 1). The clock rate of the flip-flop 96 is f_s and its output is fed to a non-inverting input of the summer 94.

The arrangement shown in Figure 4 thus performs the phase detection and the necessary loop filtering for a Costas loop to the same standard as the arrangement shown in Figure 3 but the multiplications which require the two multipliers 91a,91b have been eliminated.

The filter shown in Figure 4 is a first order infinite impulse response (IIR) filter which should be adequate for most Costas loop applications but in a highly dynamic system where either the transmitter or receiver (or both) are moving very quickly

and imposing a dynamic Doppler shift on the received signals, a second or higher order filter may be required.

In the case of a second order filter, one extra filter tap will be required, in the case of a third order filter, two extra filter taps will be required and so on. Each extra tap provided by the filter will require an extra branch feeding the summer 94 and an extra feedback loop around the summer 94. Each branch may comprise the following components. A look-up table which contains the scaled angular increments and is addressed by the iteration number r and the output δ_r of the SGN 56. A summer having a first input which is fed from the output of the look-up table. The output of the summer is fed to a D-type flip-flop whose clock is the $f_s.N$ signal provided by the CNT 74. The output of the flip-flop is fed to a second input of the summer and to another D-type flip-flop which is clocked at a rate of f_s . This last mentioned flip-flop is used as a delay and the length of the delay required depends upon the number of extra taps required to achieve the desired order of the filter. The length of the delay in the filter branch with the longest delay will be longer than the shortest delay by a factor equal to the order of the filter. This can be achieved by using a plurality of cascaded delay stages and the output of the final delay stage is fed to an inverting input of the summer 94. Further delay stages are required to form extra feedback loops around the summer 94 and again the longest loop delay will depend upon the number of taps of the filter.

The ROMs 70a,70b could also be arranged to contain only positive angular displacements and the first input to each of the summers 72a,72b would then be a polarity reversible input which is either a non-inverting input or an inverting input under the control of the signal δ_r .

Figure 5 shows an alternative embodiment of a phase detection system and filtering arrangement which does not incorporate an iterative section. The input signals $i(k), j(k)$ are used to directly address a pair of look-up tables comprising ROMs 100,102. These two ROMs each contain a scaled angular displacement for every possible permutation of the values of the two input signals $i(k), j(k)$ and consequently may be quite large. The data lines 101 of the ROM 100 are fed to a first non-inverting input of a summing device 106. The data lines 103 of the ROM 102 are coupled to an input of a D-type flip-flop 104 which is clocked at a rate of f_s , the sampling rate of the input signals. The outputs of the flip-flop 104 are fed to a second non-inverting input of the summing device 106. An output of the summing device 106 comprises a filtered angular displacement signal $\phi'(k)$ which is fed to an input of a D-type flip-flop 108 which is clocked at a

rate of f_s . The output of the flip-flop 108 is coupled to a third non-inverting input of the summing device 106.

In operation the two ROMs 100,102 each provide an angular displacement on their data lines which has been pre-multiplied by a filter tap coefficient. Consequently no further multiplications of the angular displacement by filter tap coefficients are required before filtering. Again, if only a finite impulse response filter is required, the flip-flop 108 may be eliminated or if the feedback signal via the flip-flop 108 is to be at a magnitude other than unity, a scaling device should be included in series with the flip-flop 108.

Figure 6 shows a second order infinite impulse response (IIR) filter which operates on the same principles as the first order filter of Figure 5. The input signals $i(k), j(k)$ are used to directly address three look-up tables comprising ROMs 100,102,110. These ROMs each contain a scaled angular displacement for every possible permutation of the values of $i(k), j(k)$. The data lines 101 of the ROM 100 are fed to a first non-inverting input of a summing device 106. The data lines 103 of the ROM 102 are fed to an input to a D-type flip-flop 104 which is clocked at a rate of f_s , the sampling rate of the input signals. The outputs of the flip-flop 104 are fed to a second non-inverting input to the summing device 106. The data lines 111 of the ROM 110 are fed to a D-type flip-flop 112 which is clocked at a rate of f_s . The output of this flip-flop is fed to a further D-type flip-flop 114 which also clocked at a rate of f_s . The output of the flip-flop 114 is fed to a third non-inverting input of the summing device 106. The output of the summing device 106 is fed to the address lines of a look-up table comprised of a ROM 116 and to a D-type flip-flop 108 which is clocked at a rate of f_s . The data lines of the ROM 116 are fed to a D-type flip-flop 118 which is clocked at a rate of f_s . The output of the flip-flop 118 is fed to a further D-type flip-flop 120 which is also clocked at a rate of f_s . The output of the flip-flop 120 is fed to a fourth non-inverting input to the summing device 106. The output of the flip-flop 108 is fed to a fifth non-inverting input of the summing device 106. The output of the summing device 106 comprises the filtered angular displacement signal $\theta'(k)$.

In operation, the outputs of the ROMs 100,102,110 will comprise the angular displacement represented by the input phasors $i(k), j(k)$ from the in-phase axis, scaled by different filter parameter values. The output of the ROM 102 will be delayed by one clock period in the flip-flop 104 as in the embodiment shown in Figure 5. The output of the ROM 110 is delayed by two clock periods in the cascaded flip-flops 112 and 114. As in the system of Figure 5 the first order feedback via flip-

flop 108 has a gain of unity. However, the system shown in Figure 6 has a second order feedback loop via the cascaded flip-flops 118,120 and there are only a very small number of second order filter transfer functions in which the feedback in both paths possesses unity gain. Consequently the ROM look-up table 116 is included in the second order feedback path to scale the magnitude of the second order feedback signal. Each address location of the ROM 116 contains a value which is equal to its address number multiplied by the desired second order feedback coefficient. Taking an example with just a positive coefficient, if the feedback coefficient is equal to a half, the location at address 0101b of the ROM 116 will contain a value of 0101b. The output of the ROM 116 is then delayed by two clock periods in the flip-flops 118,120 before being fed to the summing device 106. As before, the output $\theta'(k)$ of the arrangement is taken from the output of the summing device 106.

An alternative filter topology may also be used with the present invention. Figure 7a is a block schematic diagram of a first order filter having an input terminal 122 which is coupled to a first input of each of a pair of multipliers 124, 126. Second inputs of the multipliers are supplied with constants k_1 and k_2 respectively. The output of the multiplier 124 is fed to an accumulator 128 which operates to add the previous output of the multiplier 124 to its present output. The output of the accumulator 128 is fed to a first input to a summer 130 whose second input is supplied with the output of the multiplier 126. The output of the summer 130 comprises the output of the filter.

The filter shown in Figure 7a requires two multiplications by coefficients, an accumulate stage and a summation. As described with reference to Figure 4, the multiplications by coefficients may be incorporated into look-up tables and permit the multipliers 124,126 to be dispensed with.

Figure 7b shows an arrangement in which the function of the accumulate stage 128 is performed by the accumulate stage provided at the output of an iterative system, for example the CORDIC phase detector shown in Figure 4.

A pair of input terminals 134,136 are coupled to the address lines of a pair of ROMs 70a,70b. The terminals 134,136 are coupled to the output of the SGN56 (Figure 4) and the output r of the CNT 74 (Figure 4), respectively. The output of the ROM 70a is a signal θ, k_1 which is fed to a first input to a summer 72a whose output is fed to an input to a D-type flip-flop 138. The clock terminal of the flip-flop 138 is supplied with a signal having a rate of $N.f_s$ and the clear (CLR) terminal of the flip-flop is supplied with a system reset (SYS) signal. The output of the flip-flop 138 is fed to a second input

to the summer 72a and to a first input of a summer 130. The output of the ROM 70b is a signal $\theta.k2$ which is fed to an input to a first input to a summer 72b whose output is fed to an input to a D-type flip-flop 140. The clock terminal of the flip-flop 140 is supplied with a signal at a rate of $N.fs$ and the clear (CLR) terminal of the flip-flop is supplied with a signal having a rate of fs . The output of the flip-flop 140 is fed to a second input to the summer 72b and to the second input to the summer 130. An output 132 of the summer 130 comprises the output of the filter.

By supplying the clear input (CLR) of the flip-flop 138 with a system reset signal as opposed to a signal at a rate of $N.fs$, a further delay stage prior to the summer 130 or the accumulate stage 128 (Figure 7a) are unnecessary. In the embodiment of the filter shown in Figure 4 the flip-flops were cleared once every iteration. The system reset connection to the CLR input of the flip-flop 138 has the effect of adding the last phase output to the current phase output from the iterative system. The contents of the flip-flop 138 will only be cleared upon a system start-up or reset. A filter as shown in Figure 7a may thus be implemented in a simple manner.

The scalar constants $k1, k2$ may be determined by reference to the text by Rabiner and Gold referenced earlier. If the scalar constants in any of these systems by which the angular displacements have been premultiplied or by which the feedback signals are scaled need to be altered from time to time then a master ROM could be provided whose output could be multiplied by a scalar constant and the result stored in at least two look-up tables comprising Random Access Memories (RAMs). These RAMs would then replace the ROMs 70a, 70b (Figure 4), the ROMs 100, 102 (Figure 5) or the ROMs 100, 102, 110. The same principle is applicable to the ROM 116 (Figure 6).

A radio receiver in accordance with the present invention may comprise one or more super-heterodyne stages provided that a quadrature mixing stage is incorporated before the exponential multiplier or other quadrature mixing arrangement to provide the quadrature related signals which are required by the CORDIC algorithm.

From reading the present disclosure, other variations will be apparent to persons skilled in the art. Such variations may involve other features which are already known in the design, manufacture and use of filtering arrangements and component parts thereof and which may be used instead of or in addition to features already described herein. Although claims have been formulated in this application to particular combinations of features, it should be understood that the scope of the disclosure of the present application also includes any

novel feature or any novel combination of features disclosed herein either explicitly or implicitly or any generalisation thereof, whether or not it relates to the same invention as presently claimed in any claim and whether or not it mitigates any or all of the same technical problems as does the present invention. The applicants hereby give notice that new claims may be formulated to such features and/or combinations of such features during the prosecution of the present application or of any further application derived therefrom.

Claims

1. A filtering arrangement for a digital signal represented by a plurality of bits, comprising at least a first look-up table and a second look-up table which are both addressed by the said plurality of bits, the first look-up table containing a plurality of data values premultiplied by a first scalar constant and the second look-up table containing the plurality of data values premultiplied by a second scalar constant, an output of the first look-up table being coupled to a first input of a signal combining means, an output of the second look-up table being coupled to the input of a delay means, an output of the delay means being coupled to a second input of the signal combining means and the output of the signal combining means comprising an output of the filtering arrangement.
2. An arrangement as claimed in Claim 1, characterised in that the output of the signal combining means is coupled to at least one further delay means and the outputs of the further delay means are coupled to further inputs to the signal combining means.
3. An arrangement as claimed in Claim 2, characterised in that a scaling means is included in series with each of the further delay means.
4. An arrangement as claimed in any one of Claims 1 to 3, characterised in that the digital signal represented by the plurality of bits comprises an output of an iterative system for one iterative step, a first summing means is connected between the output of the first look-up table and the signal combining means, a second summing means is connected between the output of the second look-up table and the delay means, the first and second summing means being operable to add the outputs of the iterative system over a complete set of iterative steps.
5. A filtering arrangement for a digital signal re-

presented by a plurality of bits which comprises the output of an iterative system, comprising at least a first look-up table and a second look-up table which are both addressed by the said plurality of bits, the first look-up table containing a plurality of data values premultiplied by a first scalar constant and the second look-up table containing the plurality of data values premultiplied by a second scalar constant, an output of the first look-up table being coupled to an input of a first summing means whose output is coupled to a first input of a signal combining means, an output of the second look-up table being coupled to an input of a second summing means whose output is coupled to a second input of the signal combining means, the summing means being operable to add the outputs of the iterative system over at least a complete set of iterative steps and at least one of the summing means being operable to add a respective output of the iterative system over a plurality of sets of iterative steps, and the output of the signal combining means comprising an output of the filtering arrangement.

6. An arrangement as claimed in any one of Claims 1 to 5, characterised in that at least one of the look-up tables is dynamically alterable, and in that the scalar constants by which the contents of the look-up table have been premultiplied may be altered in operation to alter characteristics of the arrangement.
7. A radio receiver comprising at least a first frequency down conversion stage for providing quadrature related outputs, a further frequency down conversion stage having signal inputs connected to receive the quadrature related outputs of the first frequency down conversion stage, the further frequency down conversion stage comprising a local oscillator having a control input and a pair of quadrature related outputs and a means for multiplying the signal inputs and the local oscillator outputs to provide a first and a second output in phase quadrature, the outputs of the further frequency down conversion stage being coupled to inputs of first and second filtering means respectively, an output of the first filtering means comprising an output of the receiver and being fed to a first input of a phase detection and filtering means, an output of the second filtering means being fed to a second input of the phase detection and filtering means which has an output coupled to the control input of the local oscillator, the output signals from the first and second filtering means comprising an in-

put phasor to the first and second inputs of the phase detection and filtering means, characterised in that the phase detection and filtering means comprises means for rotating the input phasor to produce an intermediate phasor which lies in one of two adjacent angular quadrants, means for rotating the intermediate phasor in a series of iterative steps through a plurality of successively decreasing angular displacements towards an axis common to the two adjacent angular quadrants, means for counting the index number of each iterative step and applying the index number to at least two look-up tables containing entries which are equal to products of the angular displacements premultiplied by different scalar constants, means for modulating the polarity of the outputs of the at least two look-up tables in response to the direction of the angular displacement for each iterative step and at least a first and a second means coupled to the look-up tables for summing their outputs over a complete series of iterative steps, the output of the first summing means is coupled to the input of a delay means whose output is coupled to an input to a signal combining means, the output of the second summing means is coupled to another input of the signal combining means, the output of the signal combining means is coupled to at least one further delay means, the output of the or each further delay means is coupled to the or a respective further input of the signal combining means and the output of the signal combining means comprises the output of the phase detection and filtering means.

8. A receiver as claimed in Claim 7, characterised in that the at least two look-up tables contain the products and the inverses of the products of premultiplied angular displacements, and in that the means for modulating the polarity of the outputs of the look-up tables in response to the direction of the angular displacement for each iterative step comprises an input to each look-up table.
9. A receiver as claimed in Claim 7 or 8, characterised in that the means for modulating the polarity of the outputs of at least one of the look-up tables in response to the direction of the angular displacement for each iterative step comprises a polarity reversible input of each of the summing means which are coupled to the outputs of the look-up tables.
10. A receiver as claimed in any one of the Claims 7 to 9, characterised in that at least one of the

look-up tables is dynamically alterable, whereby the scalar constants by which the contents of the at least one look-up table have been premultiplied may be altered in operation to alter the filtering characteristics of the phase detection and filtering means. 5

10

15

20

25

30

35

40

45

50

55

11

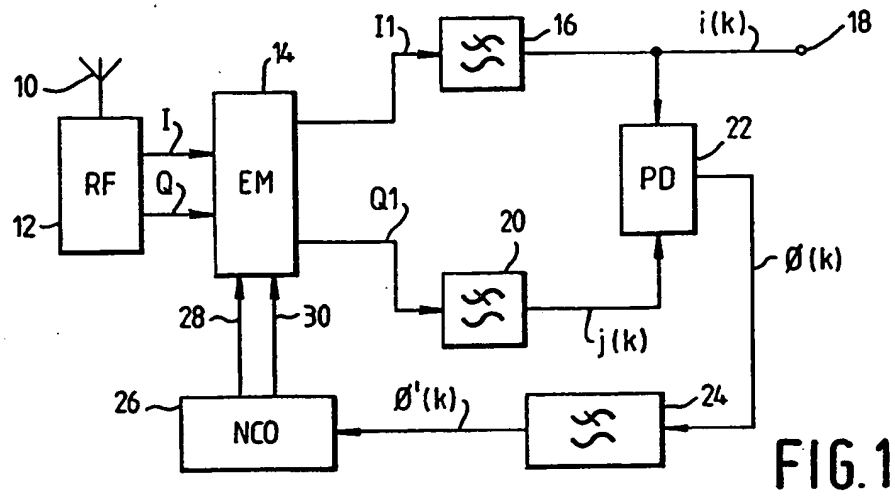


FIG. 1

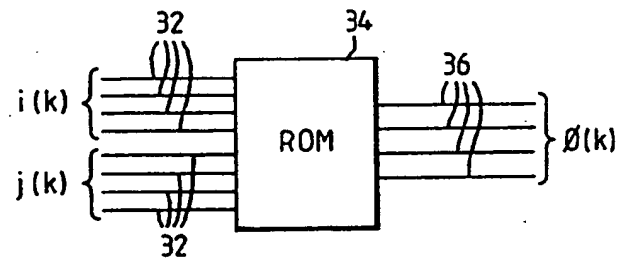


FIG. 2

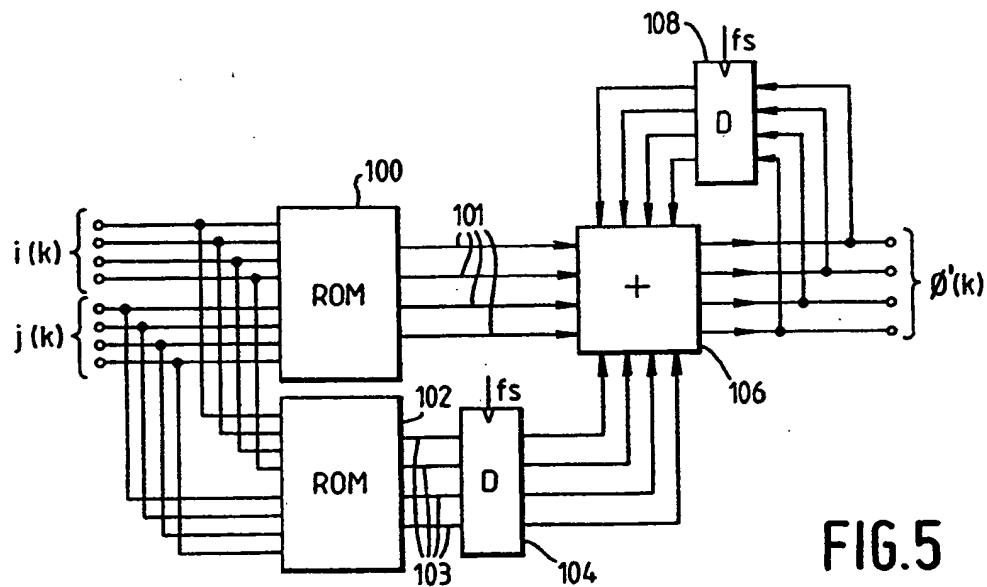


FIG. 5

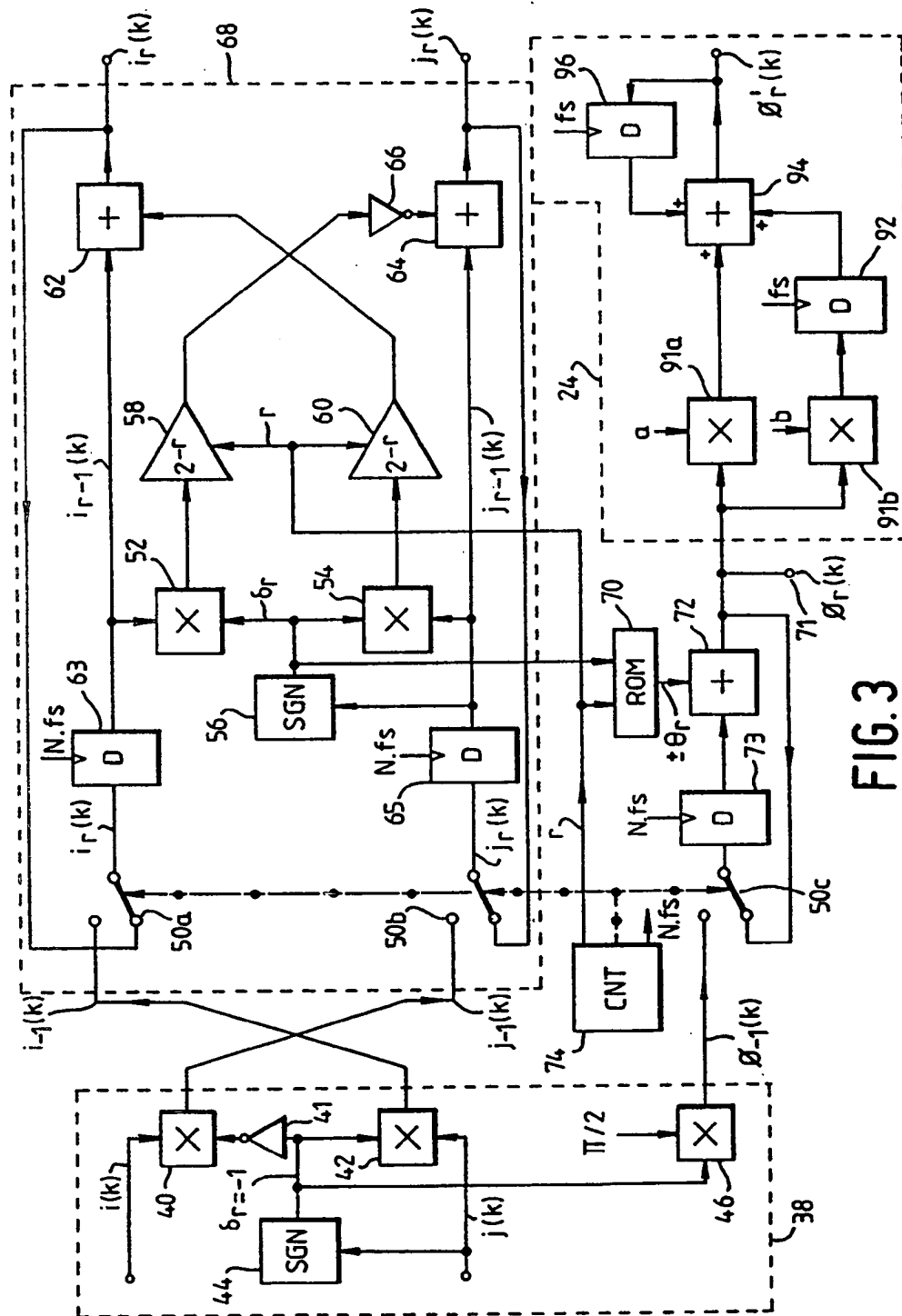


FIG. 3

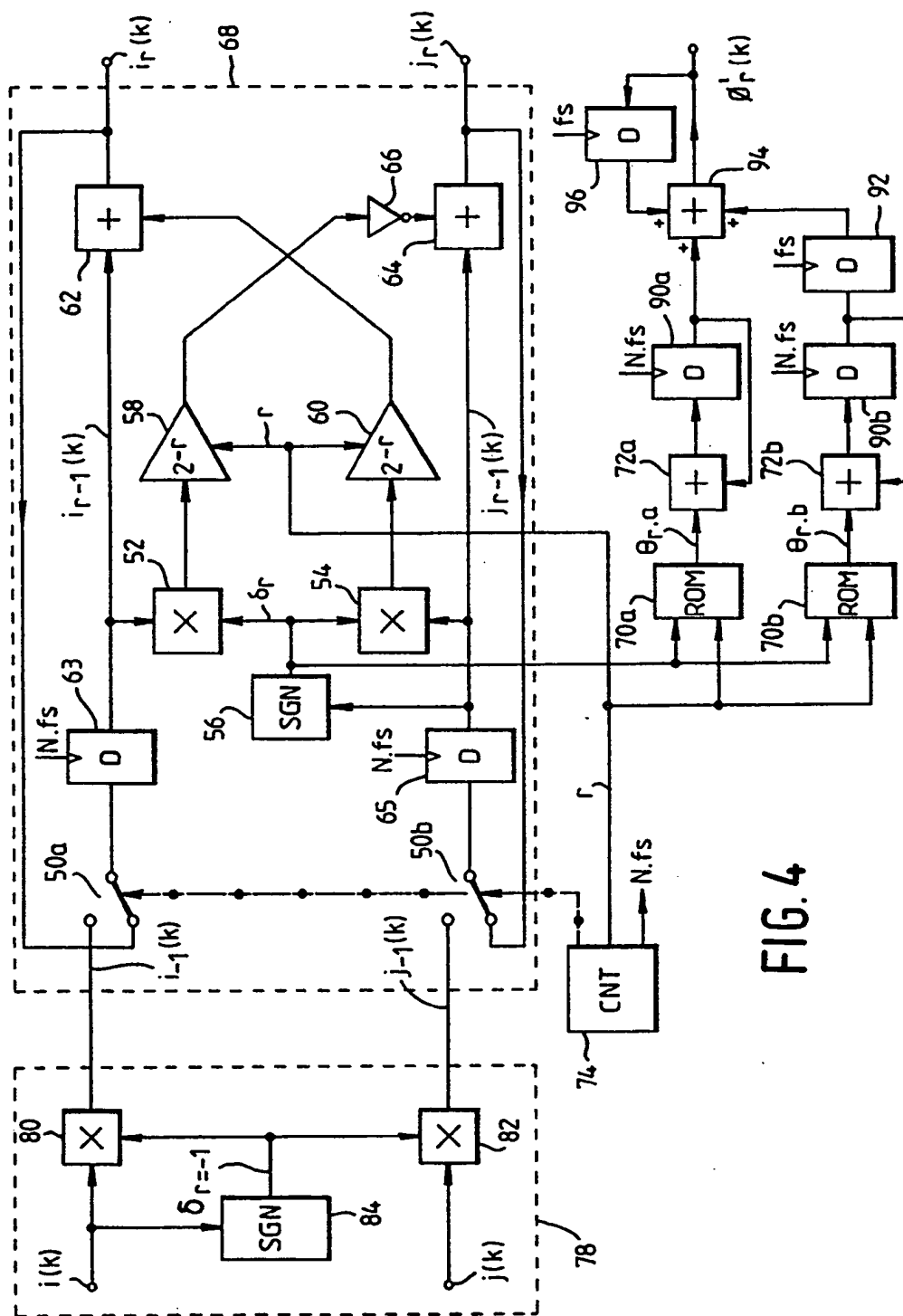


FIG. 4

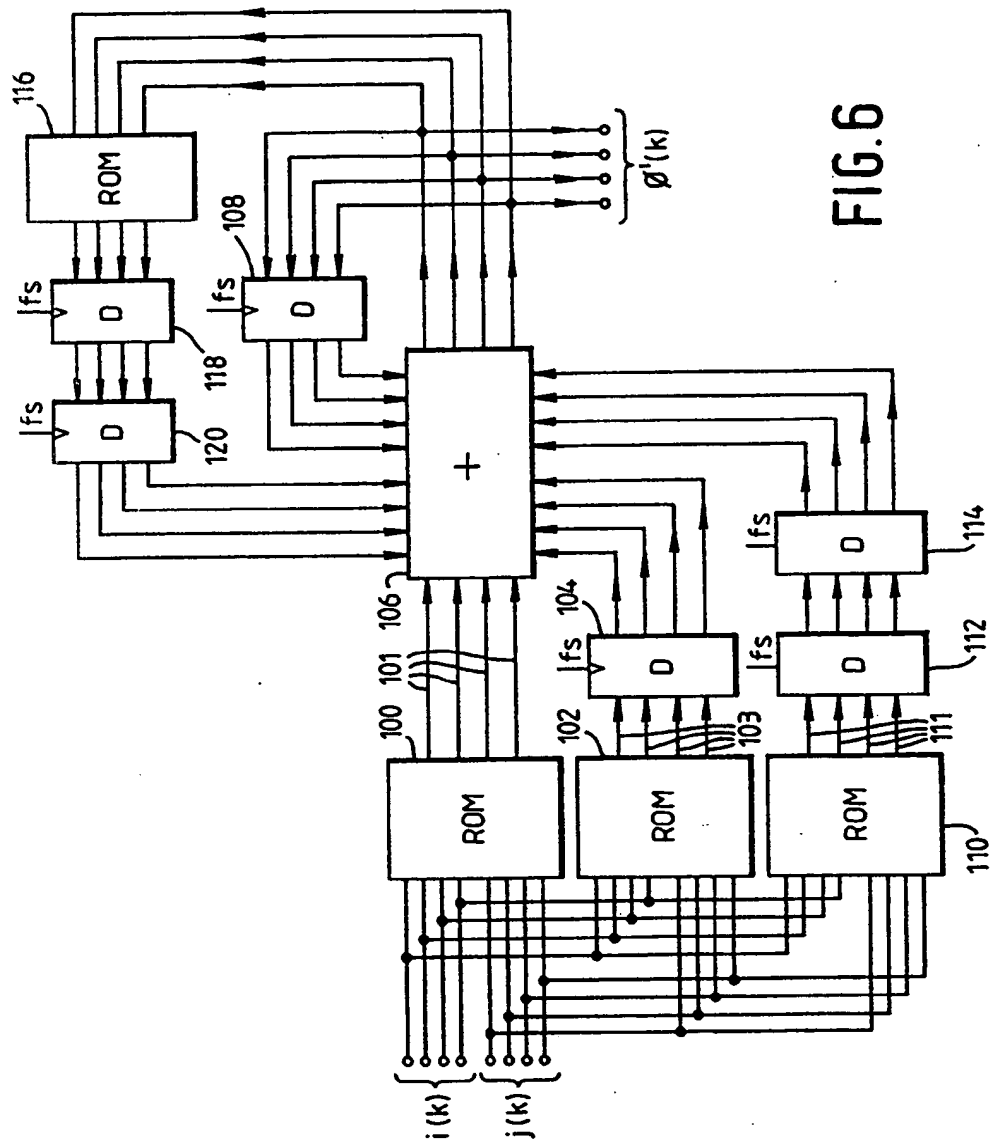
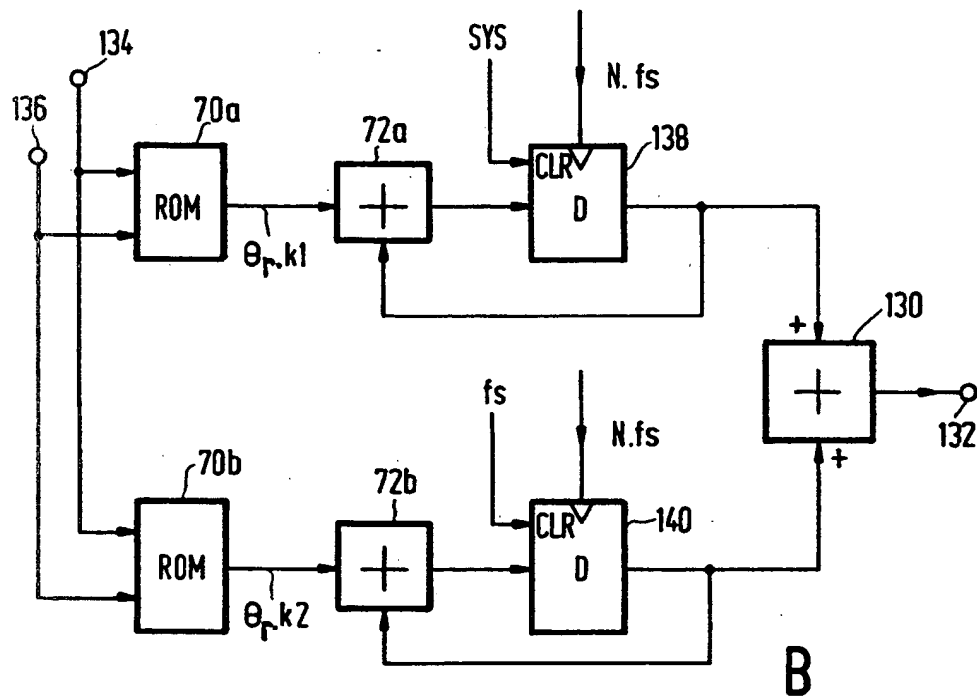
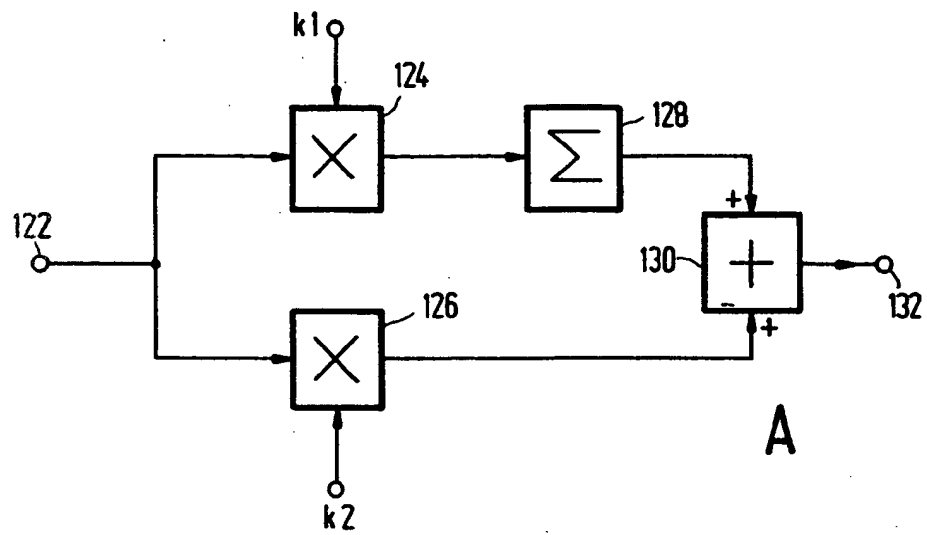


FIG. 6



B

FIG. 7



European Patent
Office

EUROPEAN SEARCH REPORT

Application Number

EP 91 20 2506

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int. Cl.5)
A	GEC JOURNAL OF RESEARCH (INCORPORATING MARCONI REVIEW.) vol. 7, no. 1, 1989, CHELMSFORD GB pages 8 - 15; JAMES: 'A digitally implemented QPSK modem operating at up to 10 Mbit/s' * page 12, right column, line 16 - line 23 * * page 14, left column, line 12 - line 31 * * page 14, left column, line 52 - right column, line 10; figures 7,9,11 *	1,5,7	H03H17/02
A	EP-A-0 032 253 (E-SYSTEMS) * page 11, line 25 - page 12, line 8 * * page 12, line 29 - page 13, line 18; figures 3,5B *	1,5,7	
A	EP-A-0 078 101 (ITT INDUSTRIES) * abstract * * page 10, line 17 - line 25; figures 3,4 *	1,5,7	
			TECHNICAL FIELDS SEARCHED (Int. Cl.5)
			H03H H04L
The present search report has been drawn up for all claims			
Place of search THE HAGUE		Date of completion of the search 13 FEBRUARY 1992	Examiner WRIGHT J.P.
CATEGORY OF CITED DOCUMENTS			
X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : Intermediary document		T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons A : member of the same patent family, corresponding document	



Europäisches Patentamt
European Patent Office
Office européen des brevets



Publication number:

0 486 095 A1

(12)

EUROPEAN PATENT APPLICATION

(21) Application number: 91202892.5

(51) Int. Cl.⁵: H03D 3/00

(22) Date of filing: 07.11.91

(30) Priority: 15.11.90 NL 9002489

(43) Date of publication of application:
20.05.92 Bulletin 92/21

(84) Designated Contracting States:
AT DE ES FR GB IT SE

(71) Applicant: N.V. Philips' Gloeilampenfabrieken
Groenewoudseweg 1
NL-5621 BA Eindhoven(NL)

(72) Inventor: Giells, Gerardus Christiaan Maria
c/o INT. OCTROOIBUREAU B.V., Prof.

Holstlaan 6
NL-5656 AA Eindhoven(NL)
Inventor: van der Plassche, Rudy Johan
c/o INT. OCTROOIBUREAU B.V., Prof.
Holstlaan 6
NL-5656 AA Eindhoven(NL)

(74) Representative: Schoonheijm, Harry Barend et al
INTERNATIONAAL OCTROOIBUREAU B.V.
Prof. Holstlaan 6
NL-5656 AA Eindhoven(NL)

(54) Digital receiver.

(57) Receiver comprising an A/D converter (5) for digitally sampling an analog signal modulated on a carrier-frequency at a first sampling frequency, consecutively coupled to a digital quadrature mixer stage (6) for a carrier frequency shift of the digitized modulated signal from the A/D converter, a digital filter device (10,11) for selecting the phase quadrature signals of the quadrature mixer stage and for decimating the sampling frequency from said first sampling frequency to a second sampling frequency, and a digital demodulation device (12,13). To obtain a receiver which can be easily realised in an integrated form and for which less crystal surface is required than for the digital integrable receivers hitherto known, and which is particularly suitable for receiving RF radio or TV broadcast signals, the digital quadrature mixer stage comprises a first coordinate rotation digital computer (Cordic) (9) in the rotation mode, having at least a first signal input which is coupled to an output of the A/D converter and a phase signal input to which a periodical digital sawtooth-shaped phase signal is applied from a digital sawtooth generator (SG) for a periodical 2π phase rotation of at least the signal applied to the computer via the first signal input at a repetition frequency which is equal to the magnitude of said carrierfrequency shift.

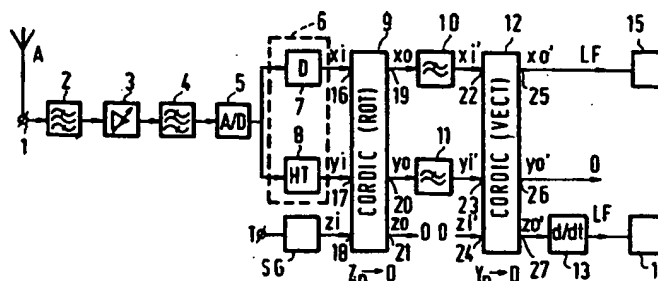


FIG. 1

The invention relates to a receiver comprising an A/D converter for digitally sampling an analog signal modulated on a carrier frequency at a first sampling frequency, consecutively coupled to a digital quadrature mixer stage for a carrier frequency shift of the digitized modulated signal from the A/D converter, provided with first and second signal outputs *via* which the digital quadrature mixer stage supplies a pair of carrier frequency converted phase quadrature signals, a digital filter device for selecting the phase quadrature signals of the quadrature mixer stage and for decimating the sampling frequency from said first sampling frequency to a second sampling frequency, and a digital demodulation device.

A receiver of this type is known from European Patent Application no. 35166.

The known receiver is of the direct conversion type in which the analog RF reception signals are first digitized at the first sampling frequency and subsequently multiplied in a pair of multiplier circuits of the digital quadrature mixer stage by a pair of tunable digital phase quadrature oscillator signals which are supplied from a digital quadrature tuning oscillator. The digitised RF reception signals are thereby split in phase into I (in-phase) and Q (quadrature) signals which differ mutually 90° in phase, and the digitized RF reception signal whose RF carrier frequency corresponds to the tuning frequency of the digital phase quadrature oscillator signals is also shifted in frequency towards the baseband. The desired digital I and Q baseband phase quadrature signals are selected in the digital filter device in which simultaneously the sampling frequency is reduced (decimated) from the first sampling frequency to the second sampling frequency. The digital I and Q baseband signals thus selected are subsequently demodulated in the digital demodulation device to a single digital baseband signal which is applied to a reproducing device *via* a D/A converter.

For an effective realisation of the known receiver the use of complex digital multipliers in the oscillator circuit as well as in the mixer stage is inevitable. An integrated embodiment therefore requires a comparatively large crystal surface. Moreover, the quadrature tuning oscillator should generate tunable digital sine and cosine oscillator signals having a comparatively low distortion. Particularly in the frequency range of normal radio and television broadcast transmitters it is difficult to comply with this distortion requirement, which makes the known receiver less suitable for use as a receiver of broadcast signals.

The invention has for its object to provide a receiver which is easier to realise as compared with said known digital receiver and which in an integrated form requires less crystal surface, while a correctly chosen dimensioning renders it suitable, *inter alia*, for receiving RF radio or TV broadcast signals.

A receiver comprising an A/D converter for digitally sampling an analog signal modulated on a carrier frequency at a first sampling frequency, consecutively coupled to a digital quadrature mixer stage for a carrier frequency shift of the digitized modulated signal from the A/D converter, provided with first and second signal outputs *via* which the digital quadrature mixer stage supplies a pair of carrier frequency converted phase quadrature signals, a digital filter device for selecting the phase quadrature signals of the quadrature mixer stage and for decimating the sampling frequency from said first sampling frequency to a second sampling frequency, and a digital demodulation device is therefore characterized in that the digital quadrature mixer stage comprises a first coordinate rotation digital computer (Cordic) in the rotation mode, having at least a first signal input which is coupled to an output of the A/D converter and a phase signal input which is coupled to an output of a digital sawtooth generator, which digital sawtooth generator supplies a periodical digital sawtooth-shaped phase signal to the phase signal input of said computer for a periodical 2π phase rotation of at least the signal applied to the computer *via* the first signal input at a repetition frequency which is equal to the magnitude of said carrier frequency shift, said computer supplying at the first and second signal outputs said pair of carrier frequency converted phase quadrature signals to the digital filter device.

The use of a coordinate rotation digital computer, hereinafter referred to as Cordic for short for fast digital trigonometric computations is known from the article "The Cordic Trigonometric Computing Technique", published in "IRE Transactions on Electronic Computers", September 1959 by J.E. Volder. The computations are effected *via* simple signal processing operations such as binary shifts, additions, subtractions and calling prestored constants. The Cordic thus has a very simple and compact integrable circuit structure which in an integrated form requires a comparatively small crystal surface.

The invention is based on the recognition that a Cordic, which operates in the so-called rotation mode, in which mode a polar signal representation is converted into a cartesian representation, can function as a mixer oscillator circuit in combination with a sawtooth generator at the phase signal input in the case of a correctly chosen dimensioning. The carrier frequency of the input signal of the Cordic is converted or shifted over a frequency which is equal to the repetition frequency of the signal supplied by the sawtooth generator to the first Cordic, which signal will hereinafter be referred to as phase signal for short.

When using the measure according to the invention, the digital mixer oscillator circuit constituted by the combination of the first Cordic in the rotation mode and the sawtooth generator effects a conversion of the digitized signals modulated on said carrier frequency, dependent on the repetition frequency of the phase signal to the baseband or to a fixed intermediate frequency without the formation of digital sine and/or cosine oscillator signals and/or accurate signal multiplications being required.

This provides a simple integrable realisation of a digital receiver which is suitable for receiving RF signals in a very large frequency range, particularly RF radio and television broadcast signals.

In said receiver according to the invention the combination of the first Cordic and the sawtooth generator can be used as part of a demodulation circuit to which an intermediate frequency (IF) signal at a fixed IF carrier frequency is applied, for example, from a tuning circuit. The repetition frequency of the sawtooth generator is then to be chosen at a suitable fixed value, for example, a value which is equal to the last-mentioned IF carrier frequency.

However, it is alternatively possible to use the combination constituted by the first Cordic and the sawtooth generator as an RF tuning circuit. A preferred embodiment of a receiver according to the invention is therefore characterized in that the repetition frequency of the periodical digital sawtooth-shaped phase signal is variable in a range which corresponds to the frequency reception range of the receiver.

For a direct conversion of a desired RF reception signal to the baseband, such a so-called direct conversion receiver according to the invention is characterized in that the repetition frequency of the periodical digital sawtooth-shaped phase signal of the digital sawtooth generator is equal to said carrier frequency of the analog signal applied to the A/D converter for a direct frequency conversion to the baseband in the computer.

For a conversion of a desired RF reception signal to a fixed IF, such a so-called superheterodyne receiver according to the invention is characterized in that the repetition frequency of the periodical digital sawtooth-shaped phase signal deviates by a fixed intermediate frequency value from said carrier frequency of the analog signal applied to the A/D converter.

A receiver according to the invention is preferably characterized in that the phase rotation caused by the periodical digital sawtooth-shaped phase signal varies linearly over a range of 2π radials in each period. The occurrence of non-linear distortion is thereby inhibited.

An improved noise behaviour is achieved in a further preferred embodiment of a receiver according to the invention which is characterized in that the first sampling frequency is a non-integral number of times the carrier frequency of the analog signal applied to the A/D converter, which number is larger than two.

A further preferred embodiment of a receiver according to the invention is characterized in that the digital demodulation device comprises a second coordinate rotation digital computer (CORDIC) in the vectoring mode, having first and second signal inputs to which the selected phase quadrature signals of the digital filter device at the second sampling frequency are applied, and an output which is coupled to a signal reproducing device.

When using this measure, a signal processing operation is performed in the second coordinate rotation digital computer, hereinafter referred to as second Cordic for short, which is complementary with respect to that in the first Cordic, and a correct demodulation/conversion is obtained of the selected and sampling frequency-decimated phase quadrature baseband signals into a single-phase signal which comprises the desired baseband information.

In the case of FM RF signals the last-mentioned single-phase signal becomes available at the phase signal output of the second Cordic and only a signal differentiation is required to obtain the baseband modulation signal. To this end an FM receiver according to the invention is characterized in that said output of the second coordinate rotation digital computer (CORDIC) is the phase signal output and is coupled to the signal reproducing device via a differentiating circuit.

An embodiment of the receiver according to the invention which is suitable for receiving AM RF signals such as, for example, AM radio or AM-VSB TV signals is preferably characterized in that said output is a first signal output of the second coordinate rotation digital computer (Cordic) to which an output signal is supplied which varies with the amplitude of the input signals of said second computer, said first signal output being coupled to the signal reproducing device via an amplitude detector.

The first Cordic makes the digital baseband signal in the form of a baseband phase quadrature I and Q signal pair at the first sampling frequency available at said first and second signal outputs.

In order to simplify selection of the I and Q baseband signals, a preferred embodiment of a receiver according to the invention is characterized in that the first coordinate rotation digital computer has a second signal input, while a Hilbert signal transformation is effected between the A/D converter and one of the two signal inputs and a signal delay compensation is effected between the A/D converter and the other signal input.

To realise a correct phase quadrature relationship between the signals at the two signal inputs of the first Cordic, a further preferred embodiment is characterized in that a digital anti-symmetrical finite impulse response filter is incorporated between the A/D converter on the one hand and the first and second signal inputs of the first coordinate rotation digital computer on the other hand, which filter comprises a series arrangement of $2n+1$ ($n = 0, 1, \dots$) serial pairs of delay circuits, the output of each pair of delay circuits as well as the input of the series circuit being coupled to an adder circuit via a weighting factor multiplier circuit, the common connections between the delay circuit of the $(n+1)^{\text{th}}$ pair being coupled to the first signal input and the output of the adder circuit being coupled to the second signal input of the first coordinate rotation digital computer.

A digital filter device which can be realised very easily for selecting and decimating the output signals of the first Cordic is characterized in that said digital filter device has a sub-sample filter section which comprises a cascade circuit of an n^{th} order comb filter and an accumulate and dump circuit comprising an adder circuit having first and second signal inputs and a signal output, said first signal input being coupled to an output of the comb filter device and said signal output being coupled to the second signal input via a delay circuit for a signal delay of an input sampling frequency over one period, the output signal of the adder circuit being sampled at an output sampling frequency which is $1/2n$ the input sampling frequency and the accumulate and dump circuit being reset after each last-mentioned sampling.

The invention will be described in greater detail with reference to the Figures shown in the accompanying drawings which are only given by way of example and in which corresponding elements have the same references.

In the drawings

Fig. 1 shows a functional block diagram of a receiver according to the invention of the direct conversion type.

Fig. 2 shows a functional block diagram of a sawtooth generator in combination with a Cordic in the rotation mode for use in a block diagram of the receiver of Fig. 1.

Fig. 3 shows the time-dependent variation of the sawtooth-shaped phase signal of the sawtooth generator in the receiver of Fig. 1 and/or 2.

Fig. 4 shows a practical embodiment of a part of the first Cordic in the rotation mode and the sawtooth generator in the circuit of Fig. 2.

Fig. 5 shows a block diagram of a Hilbert transformation circuit.

Fig. 6 shows a block diagram of a digital sub-sample filter for use in the digital baseband quadrature filter device of the receiver of Fig. 1.

Fig. 1 shows a receiver according to the invention of the direct conversion type, with an antenna input 1 for connecting a radio frequency (RF) antenna device A thereto to which there are consecutively coupled: a first RF input filter 2, a gain-controlled RF amplifier device 3, a second RF input filter 4, an A/D converter 5, a digital RF filter 6 for converting the RF signals digitized in the A/D converter 5 into digital in-phase (I) and quadrature (Q) RF signals, a first coordinate digital computer (Cordic) 9 in the rotation mode having first and second signal inputs 16 and 17 and a phase signal input 18, first and second signal outputs 19 and 20, and a phase signal output 21, a digital baseband quadrature filter device 10, 11, a second Cordic 12 in the vectoring mode having first and second signal inputs 22 and 23 and a phase signal input 24 and first and second signal outputs 25 and 26 and a phase signal output 27.

The receiver shown is an FM receiver and to this end it comprises a signal differentiating circuit 13 which is coupled to the phase signal output 27 of the second Cordic, which signal differentiating circuit 13 is connected to a signal processing device 14 for further baseband processing and reproduction.

The first RF filter device 2, the gain-controlled RF amplifier device 3 and the second RF filter device 4 jointly constitute an analog RF input section in which amplitude variations of the RF antenna input signal are adapted to the dynamic range of the A/D converter 5 and in which the RF reception range of the receiver is selected. The gain control signal for the RF gain-controlled amplifier device 3 is supplied by the A/D converter 5. In the A/D converter 5 the RF signals in said RF reception range of the receiver are digitized in a first sampling frequency which should be at least twice the highest frequency in the RF reception range. In a practical embodiment of the receiver shown with an RF reception range between 87.5 MHz and 108 MHz, the first sampling frequency was 350 MHz. The RF reception signals thus digitized are subsequently applied to the digital RF filter 6 for conversion into a pair of phase quadrature RF signals x_i and y_i which are applied to the first and second signal inputs 16 and 17, respectively, of the first Cordic 9. A digital anti-symmetrical FIR (Finite Impulse Response) filter which is known *per se* from, for example, the book "Discrete Time Signal Processing" by A.W.M. van den Enden and N.A.M. Verhoeckx, published by Prentice Hall International (UK) Ltd. in 1989, paragraph 8.2.4, pp. 208-211 can be used as a digital RF filter 6.

The operation of the first Cordic 9 is known *per se*, for example, from the article "A unified algorithm for elementary functions" by J.S. Walther published in "Spring Joint Computer Conference, 1971", pp. 379 to 385. As is known from this article, a Cordic computes in the rotation mode, like the first Cordic 9, the cartesian coordinates of a signal vector x_0 and y_0 obtained by rotating an input signal vector formed by the input phase quadrature signals x_i and y_i at the first and second signal inputs 16 and 17 of the first Cordic 9 through a phase angle Z_0 which is applied to the first phase signal input 18 of this first Cordic 9. Since the first Cordic 9 is operative in the rotation mode, a fixed signal value is supplied to the phase signal output 21, which value is equal to 0 or, within a given tolerance deviation, is equal to 0 and which will hereinafter be briefly referred to as the zero value. Each of the circuits 2-13 mentioned so far is known *per se* and, apart from their respective functions, need not be further described to understand the invention.

According to the invention, the receiver shown comprises a digital sawtooth generator SG which is coupled to the phase signal input 18 of the first Cordic 9. A digital tuning data f_t is applied to the digital Sawtooth generator SG via a tuning signal input T.

The digital sawtooth generator SG supplies a digital phase angle value Z_0 to the phase signal input 18 of the first Cordic 9, which value varies periodically in such a way that the successive digital values of the phase angle Z_0 can be considered to be successive signal samplings of a periodical digital sawtooth-shaped phase signal z having a phase rotation of 2π rad. per period. In other words, the phase angle value Z_0 varies in each period of the phase signal z while it monotonically increases or decreases over a range of 2π radial. The repetition frequency of the phase signal z is adjusted at a desired value by means of the digital tuning data f_t . The first Cordic 9 consequently operates as a digital quadrature mixer stage in which a frequency conversion or shift is effected over a frequency which is equal to the repetition frequency of said periodical digital sawtooth-shaped phase signal. In a receiver of the direct conversion type the repetition frequency of the phase signal is chosen to be equal to the RF carrier frequency of the desired RF reception signal. The output signals x_0 and y_0 at the first and second signal outputs 19 and 20 of the first Cordic 9 thus constitute a pair of baseband phase quadrature signals.

As already mentioned hereinbefore, the variable digital tuning data f_t , with which the repetition frequency of the sawtooth-shaped phase signal z can be varied over a desired frequency range, is applied to the sawtooth generator SG via a tuning control input T. For a direct conversion in the first Cordic 9 the variation range of the repetition frequency of the phase signal z should correspond to the RF reception range of the receiver. The baseband phase quadrature signal x_0 , y_0 is subsequently applied to the digital baseband phase quadrature filter device 10, 11 in which the baseband phase quadrature signals x_0 and y_0 are selected and in which the sampling frequency is decimated or decreased from said first value fs_1 to a second value fs_2 resulting in a baseband phase quadrature signal x'_i , y'_i . Such a digital baseband phase quadrature filter device 10, 11 is known *per se*, for example, from European Patent Application EP 35166 and includes a selective low-pass filter which is operative for the two baseband phase quadrature signals x_0 and y_0 , as well as a decimating or sub-sample low-pass filter for decimating the sampling frequency from fs_1 to fs_2 .

If the receiver is an FM broadcast receiver, a sub-sample filter as is shown in Fig. 6 is preferably used for each one of the baseband phase quadrature signals x_0 and y_0 . In a practical embodiment of such an FM broadcast receiver the last-mentioned sub-sample filter is succeeded by a wave digital filter (not shown) as is known *per se* from the article "Wave digital filters: Theory and Practice" by A. Fettweis, Proceedings of the IEEE, vol. 74, no. 2, February 1986 in which a further selection and decimation takes place.

If the receiver is a TV receiver, an asymmetrical polyphase filter as is known *per se* from United States Patent no. 4,914,408 is preferably used in combination with a sub-sample filter adapted thereto for said selective low-pass filter.

The baseband phase quadrature signal x'_i , y'_i thus obtained in the second sampling frequency fs_2 is applied to the first and second signal inputs 22 and 23 of the second Cordic 12 which operates in the vectoring mode. As is known from the above-mentioned publication by Walther, a conversion from a cartesian signal representation to a polar signal representation takes place in the second Cordic 12 because it operates in the vectoring mode, and it is possible to determine the angle and angle variations of an input signal vector such as, for example, x'_i , y'_i with respect to a fixed reference coordinate, for example, the X axis. In this vectoring mode the phase signal input 24 of the second Cordic 12 conveys the zero value and a zero value level is supplied to the second signal output 26 of the Cordic 12. In the case of an FM receiver the angle modulation of the FM reception signal is obtained at the phase signal output 27 of the second Cordic and this angle should be differentiated. This is effected in the signal differentiating circuit 13 at whose output the desired FM modulation signal in the baseband becomes available. Subsequently, a further signal processing such as, for example, a D/A conversion and reproduction is effected in the signal processing device 14.

As can be deduced from the above-mentioned publication by Walther, the amplitude or absolute magnitude of the input signal vector x_3, y_3 applied to the first and second signal inputs of the second Cordic 12 is obtained at the first signal output 25 of this Cordic. Consequently it is possible to render the receiver shown easily suitable for receiving amplitude-modulated (AM) RF reception signals by coupling the first signal output 25 of the second Cordic 12 to a baseband signal processing and reproducing circuit 15 or by connecting it to the signal processing device 14 via a switch (not shown).

It is alternatively possible to use the quadrature mixer stage constituted by the first Cordic 9 in combination with the sawtooth generator SG for a fixed frequency conversion of an intermediate frequency (IF) signal of a superheterodyne receiver. To this end such a superheterodyne receiver (not shown) may comprise an analog tuning circuit which is incorporated between the RF input section 2, 3, 4 on the one hand and the A/D converter 5 on the other hand, or it may comprise a digital quadrature tuning circuit which is known from said European Patent Specification 35166, which circuit replaces or precedes the digital RF filter 6. The repetition frequency of the sawtooth-shaped phase signal z supplied by the sawtooth generator SG should then correspond to the sum or the difference of the desired RF carrier frequency and the intermediate frequency of the superheterodyne receiver. It stands to reason that the intermediate frequency can be chosen at a value which is above the RF reception frequency range (for example, in the case of a double superheterodyne receiver in which a high first intermediate frequency and a lower second intermediate frequency are used) or which is below this range.

It is to be noted that the phase split, which is realised in the digital RF filter 6 to obtain a pair of phase quadrature signals, is not essential for the use of the invention. The supply of phase quadrature signals x_i, y_i to the signal inputs 16 and 17 of the first Cordic 9 prevents the occurrence of mixed sum components, or mixing products at the signal outputs 19 and 20, which are located at the sum frequency of the carrier frequency of the last-mentioned phase quadrature signals x_i, y_i and the repetition frequency of the phase signal z . Consequently, the selection of the desired mixed difference components in the digital baseband phase quadrature filter 10,11 is simplified to a considerable extent.

The digital RF filter 6 can be dispensed with by imposing stricter selectivity requirements on the last-mentioned baseband phase quadrature filter 10, 11. The digitized RF reception signal of the output of the A/D converter 5 can then be applied directly to one of the two signal inputs 16 and 17, while the other signal input is connected to a zero value level.

Fig. 2 shows a functional block diagram of the digital quadrature mixer stage constituted by the first Cordic 9 and the sawtooth generator SG according to the invention. In the version shown this stage comprises a cascade circuit of eleven iteration sections IS1 to IS11 in which one of eleven consecutive iterative angle convergence steps is performed. As is known from the above-mentioned article by Walther, the associated changes in the signal values of the signal or signals applied to the signal input 16 and/or the signal input 17 are defined for each iteration step in the sections IS2 to IS11 by the following equations:

$$\begin{aligned} X(j+2) &= X(j+1) - \text{sign } Z(j+1) \cdot 2^j \cdot Y(j+1) \\ Y(j+2) &= Y(j+1) + \text{sign } Z(j+1) \cdot 2^j \cdot X(j+1) \\ Z(j+2) &= Z(j+1) - \text{sign } Z(j+1) \cdot \arctan 2^j \end{aligned}$$

with $j = 0 \dots 9$ for a given choice of the angle convergence.

For the section IS1 it holds that:

$$\begin{aligned} X1 &= -\text{sign } Z_0 \cdot Y_0 \\ Y1 &= \text{sign } Z_0 \cdot X_0 \\ Z1 &= Z_0 - \text{sign } Z_0 \cdot \pi/2 \end{aligned}$$

The references X_0 and Y_0 denote the sampling values of x_i and y_i , respectively, and $\text{sign } Z_0$ denotes the sign of the sampling value Z_0 of z .

In a so-called z branch of the sections IS1 to IS11, which will hereinafter be described in greater detail, the input angle value Z_0 is rotated iteratively via a series of fixed converging angles (see Table I below) towards zero or at least towards a residual value deviating therefrom within the tolerance deviation. For each iteration section the sign, or the direction of the fixed rotation angle is defined with which the desired angle convergence is obtained. In the first iteration section IS1 $\pi/2$ is added to Z_0 or subtracted from Z_0 in dependence on the sign of Z_0 , resulting in a new angle value $Z1$.

In the second iteration section IS2 $\pi/4$ is added to $Z1$ or subtracted from $Z1$ in dependence on the sign of $Z1$, resulting in $Z2$ such that $Z2 < Z1$, etc., etc.

The Table below shows through which angles the input angle value Z_0 is successively rotated in the consecutive iteration sections. It is based on a 12-bit representation in so-called two's complement mode, in which $2^{12} = 4096$ corresponds to 2π .

Table I :

ϕ	RAD	RAD	DEG	DEC	+ BIN	- BIN
1	$2 \cdot \arctan(2^0)$	1.570796327	90	1024	010000000000	110000000000
2	$\arctan(2^0)$	0.785398163	45	512	001000000000	111000000000
3	$\arctan(2^{-1})$	0.463647609	26.6	302	000100101110	111011010010
4	$\arctan(2^{-2})$	0.244978663	14.0	160	000010100000	111101100000
5	$\arctan(2^{-3})$	0.124354995	7.1	81	000001010001	111110101111
6	$\arctan(2^{-4})$	0.062418810	3.6	41	000000101001	111111010111
7	$\arctan(2^{-5})$	0.031239833	1.8	20	000000010100	111111101100
8	$\arctan(2^{-6})$	0.015623729	0.9	10	000000001010	111111110110
9	$\arctan(2^{-7})$	0.007812341	0.4	5	000000000101	111111111011
10	$\arctan(2^{-8})$	0.003906230	0.2	3	000000000011	111111111101
11	$\arctan(2^{-9})$	0.001953123	0.1	1	000000000001	111111111111

with: RAD = radial

DEG = degree

DEC = decimal

BIN = binary

In the embodiment shown it is checked in the first iteration section IS1 whether the digital 12-bit angle value Z_0 has a positive or a negative sign. To this end the first iteration section IS1 comprises a sign detector SD0 which is coupled to the phase signal input 18 and which detects the sign of the angle value Z_0 , i.e. starting from a two's complement representation it defines the bit value of the most significant bit in the angle value Z_0 . The sign detector SD0 is coupled to control inputs of an inverter circuit I11, an inverter circuit I12 which is complementary thereto and an inverter circuit I13 which is also complementary. An inverter circuit is hereinafter understood to mean a circuit which multiplies an input signal by the control signal, i.e. it does not invert the input signal when the control signal is +1 and it inverts this signal when the control signal is -1. A complementary inverter circuit works the other way round: signal inversion at a +1 control signal and no signal inversion at a -1 control signal. Signal inputs of I11 and I12 are connected to first and second signal inputs 16 and 17, respectively, of the first Cordic 9, while a signal input of I13 is coupled to a fixed angle rotation value ϕ_1 corresponding to an angle value of 90° as is indicated on the top line of the Table above. A signal output of I13 is coupled to a first signal input of an adder A13, while a second signal input of A13 is coupled to the phase signal input 18. Signal outputs of I11, I12 and A13 are coupled to delay circuits D12, D11 and D13, respectively.

If the most significant bit in the angle value Z_0 at the phase signal input 18 is positive, the sign of the signal sample Y_0 of the signal input 17 is inverted in the inverter circuit I12, whereafter it is stored as a new signal sample Y_1 in the delay circuit D11, while the signal sample X_0 at the first signal input 16 is stored in

the delay circuit D12 as the new signal sample X1 with the same sign. An opposite sign inversion is effected when the last-mentioned most significant bit in Z0 is negative. The circuits SD0, I13 and A13 constitute the so-called z branch of the iteration section IS1. Not only the sign of the rotation step required for the afore-mentioned processing of the samples X0 and Y0 but also a signal processing corresponding to a rotation of the angle value Z1 through 90° towards the zero value, for example, 0, resulting in $Z1 = Z0 \pm 90^\circ$ is obtained. By representing the angle value in a so-called two's complement form, it will be possible to simplify the circuits required for the angle convergence to a considerable extent and to reduce their size, as will hereinafter be explained in greater detail. The signal processing operations in the first iteration section IS1 described so far are effected in one sampling period, for example, ts1. In a subsequent sampling period ts2 corresponding signal processing operations are performed, starting from the new sample values X1 and Y1 and the new angle value Z1.

In the second iteration section IS2 the most significant bit value of the angle word stored in D13 is detected in a sign detector SD1 in the last-mentioned sampling period ts2. An output of SD1 is connected to control inputs of an inverter circuit I22 and inverter circuits I21 and I23 which are complementary thereto. Signal inputs of I22 and I21 are connected to outputs of D11 and D12, respectively, while a signal input of I23 is connected to a fixed angle rotation value ϕ_2 corresponding to an angle value of 45° . Signal outputs of I21, I22 and I23 are connected to adder circuits A21, A22 and A23, respectively. First signal inputs of A21, A22 and A23 are connected to the signal outputs of D11, D12 and D13, respectively. Signal outputs of A21, A22 and A23 are coupled to delay circuits D21, D22 and D23, respectively.

Dependent on the sign or the value of the most significant bit in the angle value Z1, which is supplied from D13 to the z branch (SD1, I23 and A23) of the second iteration section S2, the signal of the X1 and Y1 signal samples supplied by D11 and D12, respectively, is inverted in the complementary circuit I21, followed by an addition in A21 and A22 with the original value of these signals. The results of these additions are stored as signal samples X2 and Y2 in the delay circuits D21 and D22, respectively. In the last-mentioned z branch an angle iteration step is performed again with the aid of the complementary inverter circuit I23 and the adder circuit A23, this time through an angle of $\pi/4$ in such a direction that the now new angle value Z2 at the output of A23 is smaller than Z1. This new angle value Z2 is subsequently stored in the delay circuit D23.

In a subsequent sampling period ts3 the contents of the delay circuits D21, D22 and D23 are applied as input signal sample for the third iteration section IS3, which has mainly the same circuit configuration as the second iteration section IS2. The third iteration section IS3 comprises a sign detector SD3 an input of which is coupled to an output of the delay circuit D23 and a signal output of which is coupled to control inputs of an inverter circuit I32 and inverter circuits I31 and I33 which are complementary thereto. Outputs of the delay circuits D21 and D22 are coupled to first signal inputs of adder circuits A31 and A32, respectively, and to signal inputs of I32 and I31 via shift registers SH32 and SH31 functioning as divide-by-two circuits. Signal outputs of I31 and I32 are coupled to second signal inputs of the adder circuits A31 and A32, respectively. Signal outputs of A31 and A32 are subsequently coupled to signal inputs of delay circuits D31 and D32, respectively. A fixed binary value corresponding to an angle value ϕ_3 is applied to a signal input of the complementary inverter circuit I33. Together with the signal output of D23, the signal output of I33 is applied to an adder circuit A33 whose signal output is connected to a signal input of a delay circuit D33.

In a corresponding manner an iteration section ISi (i = 4 through 11) incorporates inverter circuits Ii2 and inverter circuits Ii1, Ii3 which are complementary thereto, in combination with adder circuits Ai2, Ai1 and Ai3 as well as a sign detector SD(i-1) and shift registers SHi1 and SHi2. A division by a factor of $2^{(i-2)}$ is obtained with the shift registers SHi1 and SHi2. The adder circuits Ai1, Ai2 and Ai3 are coupled to signal inputs of delay circuits Di1, Di2 and Di3, respectively. A signal input of the complementary inverter circuit Ii3 is connected to a fixed binary value corresponding to an angle value ϕ_i .

The last iteration section IS11 only performs computations with reference to the angle value Z0 obtained in the penultimate section IS10, which value coincides with zero within a deviation determined by the least significant bit in the angle value word. In the last iteration section IS11 no further angle convergence of Z10 is performed so that the circuits corresponding to Ii3 and Ai3, as well as the delay circuits corresponding to Di1, Di2 and Di3 are dispensed with.

According to the invention the varying angle value Z0 is obtained at the phase signal input 18 by means of a sawtooth generator SG. In the version shown this generator comprises an adder circuit A0 with first and second signal inputs and a signal output which is coupled to a signal delay circuit D0, a signal output of which is coupled to the phase signal input 18 of the first Cordic 9 as well as to a second signal input of the adder circuit A0. A variable digital tuning data ft is applied to the first signal input of the adder circuit A0. By a suitable numerical value of the digital tuning data ft with respect to the maximum count of the adder

circuit A0, a periodical sawtooth-shaped signal is obtained with angle sampling values Z_0 at the phase signal input 18 in a repetition frequency which corresponds to the RF carrier frequency of the desired RF reception signal.

Fig. 3 shows the successive sampling values of a periodical sawtooth-shaped phase signal z which is obtained in a practical embodiment of a sawtooth generator as is shown in Fig. 2. In this practical embodiment the counting range of the adder circuit A0 is between 0 and 4095 and the maximum count is thus 4095. The numerical value of the digital tuning data is 1031. The Table II below states how the numerical value of the successive samplings or angle values at the phase signal input 18 varies as a function of time.

Tabel II

sample	
1	0
2	1031
3	2062
4	3093
5	28 (4124 - 4096)
6	1059
7	2090
8	3121
9	56 (4152 - 4096)
10	1087
11	2118
12	3149
13	84 (4180 - 4096)
14	1115
15	2146
16	3177
17	112 (4208 - 4096)

Since the maximum count of the adder circuit A0 is a non-integral number of times the numerical values of the digital tuning data, the sampling instants for each sawtooth period shift in phase with respect to the repetition period of the sawtooth. This phase shift results in a frequency spread of the noise so that the noise behaviour of the quadrature mixer stage constituted by the first Cordic 9 and the sawtooth generator SG is considerably improved.

The embodiment shown in Fig. 2 has a so-called pipeline structure because use is made of delay circuits Di1, Di2 and Di3 ($i = 1 \dots 11$). This provides the possibility of performing the consecutive iterations at a clock frequency which is equal to the first sampling frequency. However, it is possible to dispense with the delay circuits Di1, Di2 and Di3. A serial iterative angle convergence in a sampling frequency which is smaller than the clock frequency by a factor equal to the number of iteration sections is then obtained.

Fig. 4 shows a practical implementation of the sawtooth generator SG in combination with the z branch in the cascade circuit of the first to tenth iteration sections IS1 to IS10. Starting from a 12-bit angle value representation, the sawtooth generator SG should comprise twelve parallel accumulator circuits each corresponding to the circuit constituted in Fig. 2 by the adder circuit A0 and the delay circuit D0 and the feedback from the output of the delay circuit D0 to the second signal input of the adder circuit A0. If the accumulator circuit for the least significant bit is referred to as AC1 and that for the least significant bit but one is referred to as AC2, and so forth to AC12 for the accumulator circuit for the most significant bit, the respective circuits AC1 to AC11 should have their carry-out outputs connected to carry-in inputs of the accumulator circuits AC1 to AC12. Signal outputs of the accumulator circuits AC1 to AC11 are connected to delay circuits D131 to D1311, respectively, with a signal inversion being effected in the signal path of the accumulator circuit AC11.

In the case of a two's complement angle value representation as indicated in the Table above, the sign bit S0 for the iteration section IS1 is obtained at the output of the accumulator circuit AC12. The sign bit S1 for the iteration section IS2 is obtained by inverting the output signal of the accumulator circuit AC11 and delaying it over one sampling period in the delay circuit D1311. Also the sign bit S2 for the third iteration section IS3 is solely determined by the output signal of the accumulator circuit AC10.

Signal outputs of the delay circuits D131 to D1310 are connected to signal inputs of delay circuits D231 to D2310, respectively. A signal inversion is effected in the signal path of the accumulator circuit AC10 and the delay circuit D2310 supplies the sign bit S2 to the third iteration section IS3. Outputs of the delay circuits D233 to D239 are connected to signal inputs of first signal inputs of seven adder circuits A233 to A239. The sign bit S2 is applied to second signal inputs of the adder circuits A233, A234, A236 and A239, while the inverted value of the sign bit S2 is applied to the other adder circuits. The adder circuits A233 to A239 are interconnected through a carry-bit coupling, while a carry-bit input of the adder circuit A233 is coupled to the delay circuit D232. The carry-bit output signal of the adder circuit A239 is applied as sign bit S3 to the fourth iteration section IS4 after inversion and delay in a delay circuit D3310. Signal outputs of the adder circuits A233 to A239 are coupled to signal inputs of delay circuits D333 to D339, respectively. Signal outputs of the delay circuits D231 and D232 are coupled to delay circuits D331 and D332, respectively.

For the formation of the fourth sign bit S4 use is made of three adder circuits A337 to A339, first signal inputs of which are coupled to signal outputs of delay circuits D337 to D339, while a second signal input of the adder circuit A338 receives the sign bit S3 and second signal inputs of the adder circuits A337 and A339 receive the inverse value of the sign bit S3. The adder circuits A337 to A339 are interconnected via a carry-bit coupling, while a carry-bit input of the adder circuit A337 is connected to an output of the delay circuit D336. The carry-bit output signal of the adder circuit A339 is applied as sign bit S4 to the fifth iteration section IS5 after inversion and delay in a delay circuit D4310. Signal outputs of the delay circuits D331 to D336 and of the adder circuits A337 to A339 are coupled to delay circuits D431 to D439, respectively.

The sign bit S5 for the sixth iteration section IS6 is obtained by means of eight adder circuits A434 to A439, first inputs of which are coupled to delay circuits D432 to D439, respectively. The input signals of the adder circuits A432 and A436 are inverted. The sign bit S4 is applied to second signal inputs of adder circuits A435 and A437, while the inverse value of the sign bit S4 is applied to the other adder circuits of said group of eight adder circuits A432 to A439. The adder circuits A432 to A439 are interconnected via a carry-bit coupling. The carry-bit input of the adder circuit A432 is connected to an output of the delay circuit D431. Signal outputs of the delay circuit D431 and the adder circuits A432 to A439 are coupled to delay circuits D531 to D539, respectively. An output of the delay circuit D539 supplies the sign bit S5 for the sixth iteration section IS6.

For forming the sign bit S6 for the seventh iteration section IS7 use is made of seven adder circuits A532 to A538, first signal inputs of which are coupled to delay circuits D532 to D538, respectively, while second signal inputs of the adder circuits A534 and A536 receive the sign bit S5. The inverse value of the sign bit S5 is applied to second signal inputs of the other adder circuits. Also these adder circuits A532 to A538 are interconnected via a carry-bit coupling, while a carry-bit input of the adder circuit A532 receives the inverse value of the output signal of the delay circuit D531. Signal outputs of the delay circuit D531 and the adder circuits A532 to A538 are connected to delay circuits D631 to D638, respectively. The output signal of the delay circuit D638 is applied as sign bit S6 to the seventh iteration section IS7.

For forming the sign bit S7 for the eighth iteration section IS8 use is made of four adder circuits A634 to A637, first inputs of which are coupled to outputs of the delay circuits D634 to D637, while a second signal input of the adder circuit A635 receives the sign bit S6. The inverse value of the sign bit S6 is applied to second signal inputs of the other adder circuits A634, A636 and A637. The adder circuits A634 to A637 are interconnected via a carry-bit coupling. The delay circuit D642 is coupled to a carry-bit input of the adder circuit A634. Signal outputs of the delay circuits D631 to D633 and adder circuits A634 to A637 are coupled to delay circuits D731 to D737, respectively. The sign bit S7 is obtained at the output of the delay circuit D737.

For forming the sign bit S8 for the ninth iteration section IS9 use is made of four adder circuits A733 to A736. First signal inputs of the adder circuits A733 to A736 are coupled to delay circuits D733 to D737, respectively. A signal inversion is effected at the first signal input of the adder circuit A733. A second signal input of the adder circuit A734 receives the sign bit S7, while second signal inputs of the adder circuits A733, A735 and A736 receive the inverse value of the sign bit S7. The adder circuits A733 to A736 are interconnected via a carry-bit coupling, while a carry-bit input of the adder circuit A733 is coupled to an output of the delay circuit D732. The delay circuits D731, D732 and the adder circuits A733 to A736 are connected to delay circuits D831 to D836, respectively. The delay circuit D836 supplies said sign bit S8.

For forming the sign bit S9 for the tenth iteration section IS10 use is made of four adder circuits A832 to A835, signal inputs of which are coupled to outputs of the delay circuits D832 to D835. A signal inversion is effected at the first signal input of the adder circuit A832. A second signal input of the adder circuit A833

receives the sign bit S8, while second signal inputs of the adder circuits A832, A834 and A835 receive the inverse value of the sign bit S8. The sign bit S9 for the iteration section S10 is subsequently derived from the output signal of the adder circuit A835 via a delay circuit D935.

The circuit shown in Fig. 4 and described hereinbefore comprises a minimum number of circuit components with which the functions of the sawtooth generator SG and the z branch in Fig. 2 required for generating the sign bits S0 to S10 are realised. This is possible by choosing the ϕ values in the iteration sections IS1 to IS10 in accordance with the Table I above. As already stated hereinbefore, the angle value Z_0 supplied by the sawtooth generator SG is iteratively rotated to a residual or zero value. For each iteration section the variation range of Z_i decreases. Thus, it is not necessary to pass on all bit values at the side of the most significant bit from the output to a subsequent iteration section. As a result the word width of the angle value z in which variations may occur decreases for each iteration section. This yields a first economy of circuit components. Optimum use is further made of so-called wiring logic techniques, or realising logic functions by means of suitably chosen through-connections.

Fig. 5 shows a block diagram of a practical embodiment of the RF digital filter 6 in which the digital RF signal at the output of the A/D converter 5 is split in phase into a pair of phase quadrature RF signals x_i and y_i . The RF digital filter shown is a so-called anti-symmetrical FIR (Finite Impulse Response) filter and is provided with a series circuit of six delay circuits D1 to D6, the input of D1 and the outputs of D2, D4 and D6 being coupled to multiplier circuits M1 to M4, respectively. Outputs of these multiplier circuits are connected to inputs of an adder circuit AD. The input sampling value of the cascade circuit and the output sampling value of the delay circuits D2, D4 and D6 are multiplied by means of the multiplier circuits M1 to M4 by fixed weighting factors which are pairwise mirrored with respect to 0 and are -0.0625; -0.5625; 0.5625; 0.0625, respectively. Starting from a digital RF input signal at the common input of M1 and D1 the digital filter shown applies a digital RF signal x_i to the output of D3, which signal is applied to the first signal input 16 of the first Cordic 9 and is in an accurate phase quadrature relationship with the output signal of the adder AD which is applied as RF digital signal y_i to the second signal input of the first Cordic 9. The signal delay which occurs between the input of the filter and the output of D3 is equal to the signal delay between said input and the output of the adder circuit AD.

It is possible to use an anti-symmetrical digital filter of an order which is higher than that of the one shown, for which it generally holds that such a filter is provided with a series circuit of $2n+1$ ($n = 0, 1, \dots$) serial delay circuits, the output of each pair of delay circuits as well as the input of the series circuit being coupled to an adder circuit via a weighting factor multiplier circuit, while the common connection between the delay circuit of the $(n+1)^{th}$ pair is coupled to the first signal input and the output of the adder circuit is coupled to the second signal input of the first Cordic 9.

However, it is very well possible to perform the combined functions of signal delay compensation and Hilbert transformation separately by means of the digital filter shown, i.e. by means of mutually separated circuits. As stated hereinbefore, such a circuit can be dispensed with by adapting the selectivity after the first Cordic and the output signal of the A/D converter can be directly applied to either the first signal input 16 or the second signal input 17 of the first Cordic 9.

Fig. 6 shows a sub-sample or decimating low-pass filter section for use in each of the filters 10 and 11 of the digital filter device 10, 11 of the receiver of Fig. 1.

The filter section shown comprises a cascade circuit of a first-order comb filter D1, AD1, a second-order comb filter D2, AD2, an accumulation and dump circuit D3, AD3 provided with adder circuits AD1, AD2 and AD3, respectively, each with first and second signal inputs and a signal output. The first signal input of AD1 constitutes a signal input IN of the filter section and is coupled to the second signal input of AD1 via a delay circuit D1, while the signal output of AD1 is connected to the first signal input of AD2 and to the second signal input of AD2 via a delay circuit D2, the signal output of AD2 is connected to a first signal input of AD3 and the signal output of AD3 is connected to the second signal input of AD3 via a delay circuit D3 and also constitutes a signal output OUT of the filter section. The comb filter D1, AD1 and D2, AD2 is of the first and second order, respectively, because D1 and D2 realise a signal delay over one period and two periods, respectively, of the sampling frequency f_{si} of the input signal applied to IN. Likewise as D1, the delay circuit D3 realises a signal delay over one period of f_{si} and is preferably realised by means of a resettable memory circuit.

The output signal of the accumulation and dump circuit AD3, D3 is sampled at an output sampling frequency f_{so} in which, for example, $f_{so} = 1/4 f_{si}$, while directly after each output signal sampling D3 the entire accumulation and dump circuit AD3, D3 is thus reset. As a result a sampling frequency reduction or a decimation by a factor of 4 is effected. Simultaneously a selectivity is realised which is comparable with that

of a time-invariant filter having a transfer of $H(z) = (1 + z^{-1})(1 + z^{-2})$. No sampling frequency decimation is effected in such a time-invariant filter, while the realisation of such a filter requires considerably more components than the accumulation and dump circuit D3, AD3.

To prevent noise and other unwanted interference components from aliasing as a result of the decimation in the accumulation and dump circuit AD3, D3 in the frequency band of the useful signal, these unwanted interference components are firstly suppressed by means of the comb filters AD1, D1 and AD2, D2 in a sufficiently wide cut-off range around the zeros in the filter transfer. The comb filters AD1, D1 and AD2, D2 jointly have a transfer which is equal to $(1 + z^{-1})$ and $(1 + z^{-2})$.

In a practical embodiment of the receiver of Fig. 1 as a directly mixing FM receiver suitable for receiving RF-FM signals in a range between 87.5 and 108 MHz, a first sampling frequency fsi of 350 MHz was chosen in connection with avoiding a 3rd harmonic interference in the desired signal at the A/D conversion in the A/D converter 5 and obtaining a simple realisation of the digital RF quadrature filter 6.

For each of the two phase quadrature baseband signals x_0 and y_0 at the outputs 19 and 20 of the first Cordic 9 a cascade circuit of three filter sections of the type shown in Fig. 6 and described hereinbefore was used, while a first-order and a second-order comb filter corresponding to D1, AD1 and D2, AD2 (not shown) were added as extra components to the third and last filter section in the cascade circuit. An extra suppression of the unwanted interference components and a comparatively small decrease of the number of circuit elements was obtained with these extra comb filters. A decimation factor of $4^3 = 64$ was obtained with the last-mentioned cascade circuit of filter sections, so that starting from fsi = 350 MHz an output sampling frequency of approximately 5.47 MHz was obtained. With this last-mentioned filter section cascade circuit a selectivity was realised which is comparable with that of a time-invariant comb filter having a transfer function of

$(1 + z^{-1})^2(1 + z^{-2})^2(1 + z^{-4})^2(1 + z^{-8})^2(1 + z^{-16})^3(1 + z^{-32})^3$, and such a time-invariant comb filter (not shown) should then be succeeded by a decimation device and requires a considerably larger number of circuit components than said filter section cascade circuit.

In the relevant practical embodiment each of the two filter section cascade circuits was succeeded by a selective low-pass filter of the aforementioned "wave digital filter" type at whose output a last sampling frequency decimation by a factor of 5 or 6 can be effected.

The order and the number of comb filters in each filter section is to be chosen in dependence upon the required receiver specifications, the spectral width and location of the desired signal to be filtered and/or the decimation factor. For example, it is very well possible to dispense with one or even with said two comb filters in one or more filter sections, or it may be necessary to add extra comb filters.

Claims

1. A receiver comprising an A/D converter for digitally sampling an analog signal modulated on a carrierfrequency at a first sampling frequency, consecutively coupled to a digital quadrature mixer stage for a carrierfrequency shift of the digitized modulated signal from the A/D converter, provided with first and second signal outputs via which the digital quadrature mixer stage supplies a pair of carrierfrequency converted phase quadrature signals, a digital filter device for selecting the phase quadrature signals of the quadrature mixer stage and for decimating the sampling frequency from said first sampling frequency to a second sampling frequency, and a digital demodulation device, characterized in that the digital quadrature mixer stage comprises a first coordinate rotation digital computer (Cordic) in the rotation mode, having at least a first signal input which is coupled to an output of the A/D converter and a phase signal input which is coupled to an output of a digital sawtooth generator, which digital sawtooth generator supplies a periodical digital sawtooth-shaped phase signal to the phase signal input of said computer for a periodical 2π phase rotation of at least the signal applied to the computer via the first signal input at a repetition frequency which is equal to the magnitude of said carrierfrequency shift, said computer supplying at the first and second signal outputs said pair of carrierfrequency converted phase quadrature signals to the digital filter device.
2. A receiver as claimed in Claim 1, characterized in that the repetition frequency of the periodical digital sawtooth-shaped phase signal is variable in a range which corresponds to the frequency reception range of the receiver.

3. A receiver as claimed in Claim 1 or 2, characterized in that the repetition frequency of the periodical digital sawtooth-shaped phase signal of the digital sawtooth generator is equal to said carrier frequency of the analog signal applied to the A/D converter for a direct frequency conversion in the computer to the baseband.
- 5 4. A receiver as claimed in Claim 1 or 2, characterized in that the repetition frequency of the periodical digital sawtooth-shaped phase signal deviates by a fixed intermediate frequency value from said carrier frequency of the analog signal applied to the A/D converter.
- 10 5. A receiver as claimed in any one of the preceding Claims, characterized in that the phase rotation caused by the periodical digital sawtooth-shaped phase signal varies linearly over a range of 2π radians in each period.
- 15 6. A receiver as claimed in any one of the preceding Claims, characterized in that the first sampling frequency is a non-integral number of times the carrier frequency of the analog signal applied to the A/D converter, which number is larger than two.
- 20 7. A receiver as claimed in Claim 6, characterized in that the digital sawtooth generator comprises an accumulator circuit which is provided with a cascade circuit of an adder circuit having first and second signal inputs and a delay circuit for a signal delay over one sampling period, an output of the delay circuit being coupled to the phase signal input of the first computer as well as to the second signal input of the adder circuit, a digital tuning data being applied to said first signal input of the adder circuit, the magnitude of said tuning data being variable and being included in the counting range of the adder circuit by a non-integral number of times which is larger than two.
- 25 8. A receiver as claimed in any one of the preceding Claims, characterized in that the digital demodulation device comprises a second coordinate rotation digital computer (CORDIC) in the vectoring mode having first and second signal inputs to which the selected phase quadrature signals of the digital filter device at the second sampling frequency are applied, and an output which is coupled to a signal reproducing device.
- 30 9. A receiver as claimed in Claim 8, for receiving FM signals, characterized in that said output of the second coordinate rotation digital computer (CORDIC) is the phase signal output and is coupled to the signal reproducing device *via* a differentiating circuit.
- 35 10. A receiver for receiving FM signals as claimed in Claim 9, characterized by an RF input section coupled between an antenna input and an input of the A/D converter, comprising at least an RF filter device for a bandpass selection mainly between 85 MHz and 110 MHz, an automatically controlled amplifier for adapting the signal dynamic range of the reception signal to the dynamic range of the A/D converter, the first sampling frequency of the A/D converter being of the order of 350 MHz.
- 40 11. A receiver as claimed in Claim 8 for receiving AM signals, characterized in that said output is a first signal output of the second coordinate rotation digital computer (Cordic) to which an output signal is supplied which varies with the amplitude of the input signals of said second computer, said first signal output being coupled to the signal reproducing device *via* an amplitude detector.
- 45 12. A receiver as claimed in any one of the preceding Claims, characterized in that the first coordinate rotation digital computer has a second signal input, while a Hilbert signal transformation is effected between the A/D converter and one of the two signal inputs and a signal delay compensation is effected between the A/D converter and the other signal input.
- 50 13. A receiver as claimed in Claim 12, characterized in that a digital anti-symmetrical finite impulse response filter is incorporated between the A/D converter on the one hand and the first and second signal inputs of the first coordinate rotation digital computer on the other hand, which filter comprises a series arrangement of $2n+1$ ($n = 0, 1, \dots$) serial pairs of delay circuits, the output of each pair of delay circuits as well as the input of the series circuit being coupled to an adder circuit *via* a weighting factor
- 55

multiplier circuit, the common connections between the delay circuits of the $(n+1)^{\text{th}}$ pair being coupled to the first signal input and the output of the adder circuit being coupled to the second signal input of the first coordinate rotation digital computer.

- 5 14. A receiver as claimed in Claim 7, characterized in that the first coordinate rotation digital computer (Cordic) comprises a cascade circuit of first to k^{th} iteration sections each comprising first and second phase quadrature signal branches and a phase signal branch coupled between the first signal input and output, the second signal input and output and the phase signal input and output of said first computer, said phase signal branch in each of the first to $(k-1)^{\text{th}}$ iteration sections comprising a sign detector for
10 detecting the sign of the most significant information bit in the angle value applied to the phase signal branch of the relevant iteration section, as well as an adder circuit to which a fixed rotation angle added to or subtracted from the angle value is applied in dependence upon the last-mentioned sign, said adder circuit of the first to $(k-1)^{\text{th}}$ iteration section being coupled to the phase signal branch of the second to k^{th} iteration section, the fixed rotation angle in the first and second iteration sections being
15 90° and 45° , respectively, and the tangential value of the fixed rotation angles in the 3rd to $(k-1)^{\text{th}}$ iteration sections being equal to 2^i with $i = 1$ to $k-3$.
15. A receiver as claimed in Claim 14, characterized in that the angle value and the fixed rotation angle are each represented in a two's complement mode word and in that a binary adder circuit is incorporated
20 in each iteration section only for those bit sites in the angle value word at which the bit value can vary as a result of the addition or subtraction to or from the fixed rotation angle.
16. A receiver as claimed in any one of the preceding Claims, characterized in that said digital filter device has a sub-sample filter section which comprises a cascade circuit of an n^{th} order comb filter and an accumulation and dump circuit comprising an adder circuit having first and second signal inputs and a
25 signal output, said first signal input being coupled to an output of the comb filter device and said signal output being coupled to the second signal input via a delay circuit for a signal delay of an input sampling frequency over one period, the output signal of the adder circuit being sampled at an output sampling frequency which is $1/(2n)$ the input sampling frequency and the accumulation and dump
30 circuit being reset after each last-mentioned sampling.
17. A receiver as claimed in Claim 16, characterized in that the n^{th} order comb filter is arranged in cascade with $n-1$ further comb filters of the order 1 to $n-1$, respectively.

35

40

45

50

55

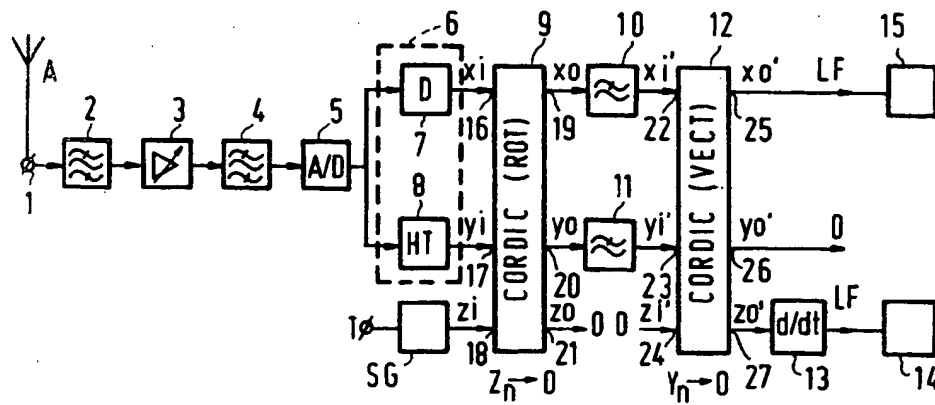


FIG. 1

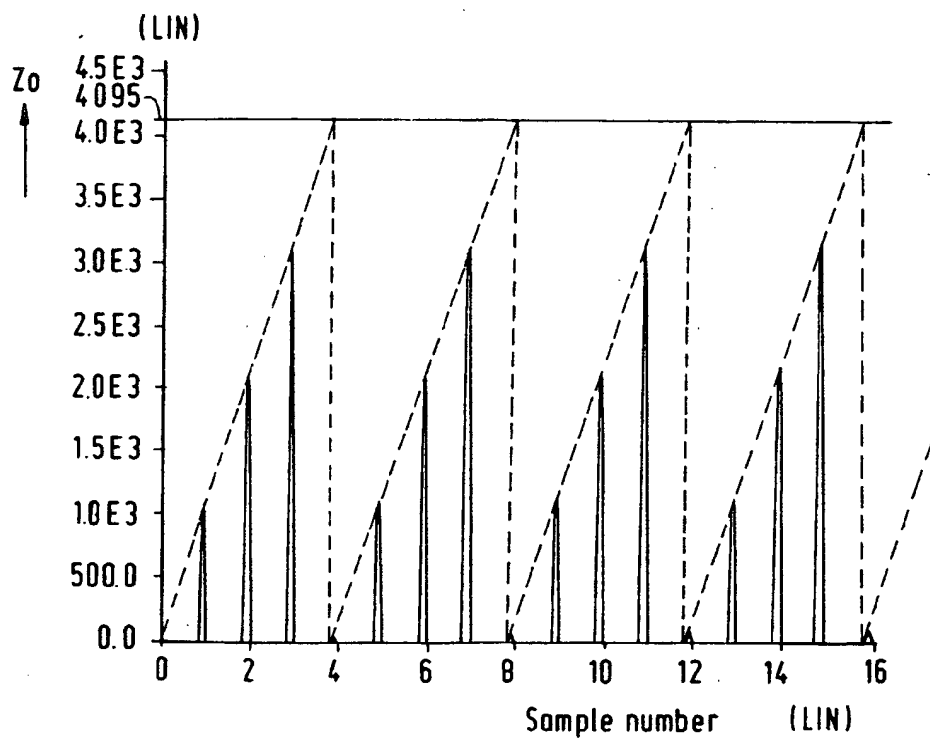


FIG. 3

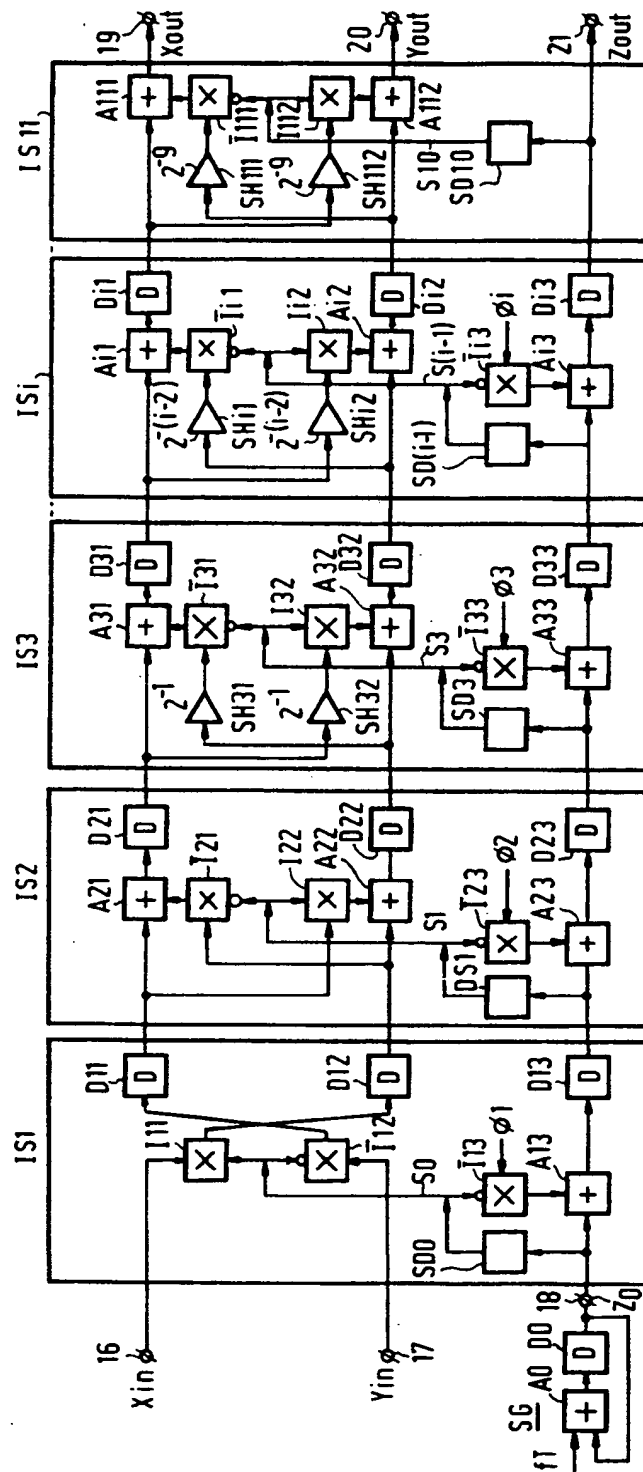
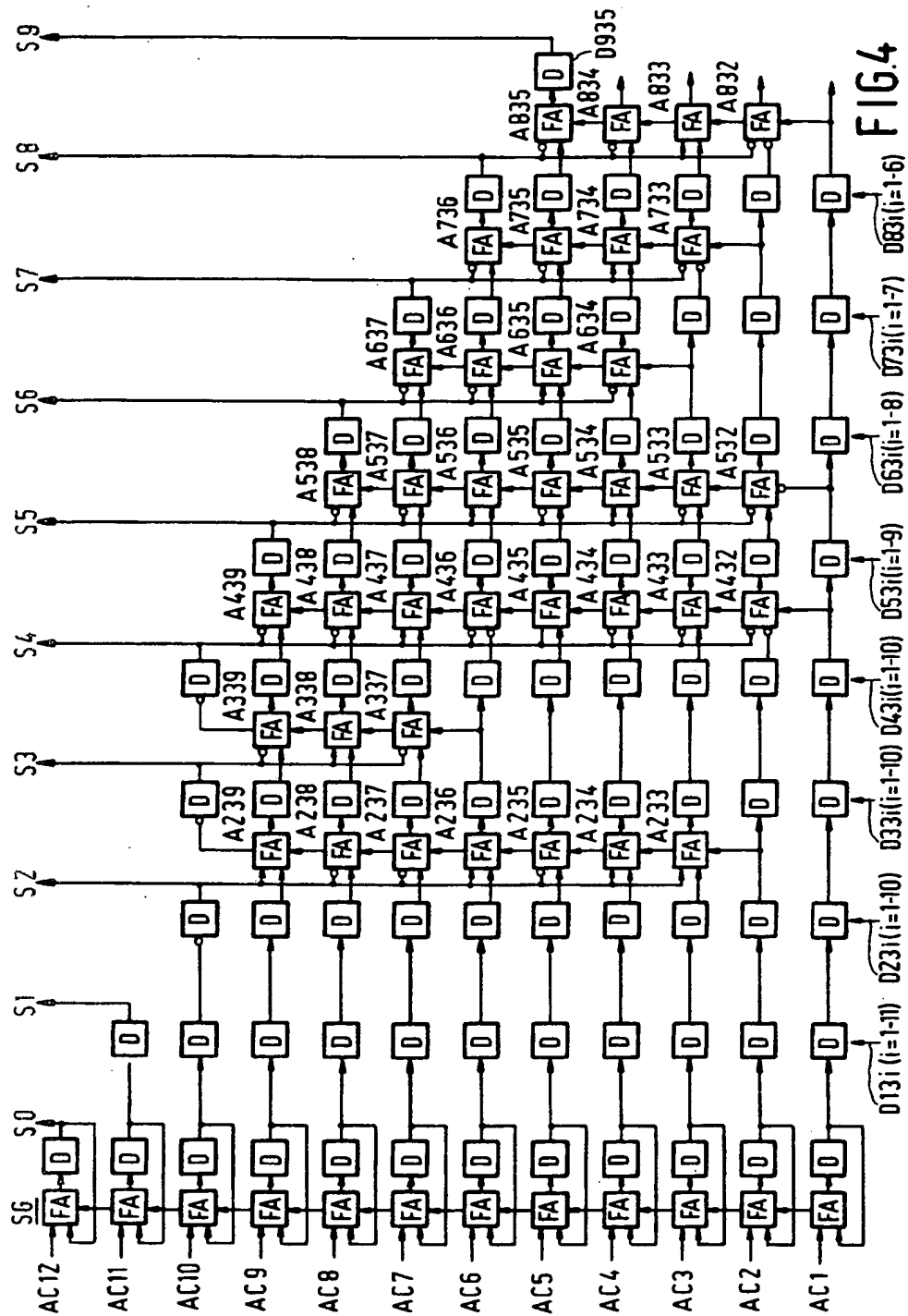


FIG.2



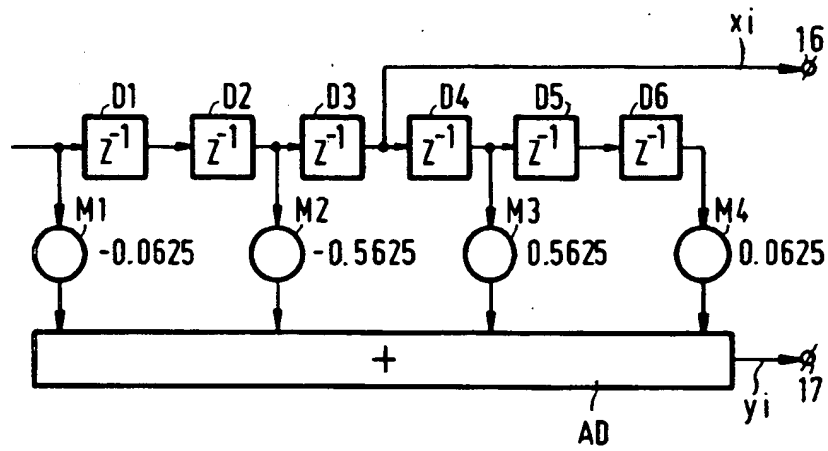


FIG. 5

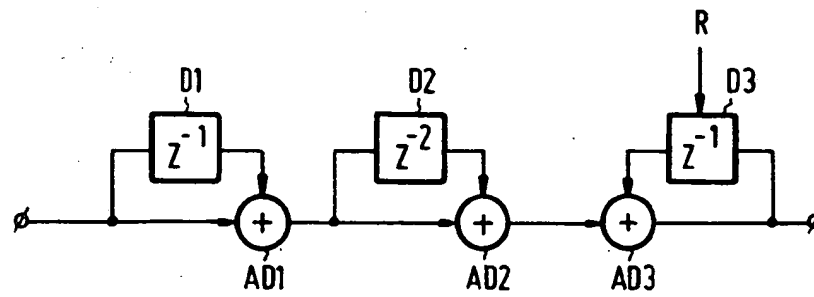


FIG. 6



European Patent
Office

EUROPEAN SEARCH REPORT

Application Number

EP 91 20 2892

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int. Cl.5)
A, D	EP-A-0 035 166 (LICENTIA PATENT-VERWALTUNGS-GMBH) * page 4, line 2 - page 6, line 2 *	1	H03D3/00
A	ELECTRONICS LETTERS, vol. 21, no. 25, 5 December 1985, STEVENAGE GB pages 1227 - 1229; VAN GINDERDEUREN E. A.: 'CORDIC-BASED HIFI DIGITAL FM DEMODULATOR ALGORITHM FOR COMPACT VLSI' * the whole document *	1	
			TECHNICAL FIELDS SEARCHED (Int. Cl.5)
			H03D H03H H04B
The present search report has been drawn up for all claims			
Place of search THE HAGUE		Date of completion of the search 13 FEBRUARY 1992	Examiner DHONDT I. E. E.
CATEGORY OF CITED DOCUMENTS			
X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document		T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons A : member of the same patent family, corresponding document	

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
19. April 2001 (19.04.2001)

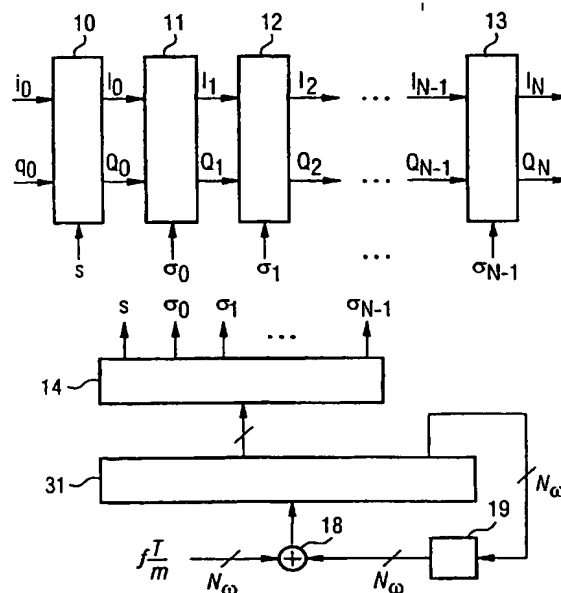
PCT

(10) Internationale Veröffentlichungsnummer
WO 01/28176 A2

- (51) Internationale Patentklassifikation⁷: H04L 27/00 (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): YANG, Bin [CN/DE];
Karl-Marx-Ring 39, 81735 München (DE). BUCH, Stef-
fen [DE/DE]; Balanstrasse 84, 80541 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE00/03601
- (22) Internationales Anmeldedatum:
11. Oktober 2000 (11.10.2000) (74) Anwälte: MEYER, Enno usw.; Weser & Kollegen,
Radeckestrasse 43, 81245 München (DE).
- (25) Einreichungssprache: Deutsch (81) Bestimmungsstaaten (national): CN, JP, KR, US.
- (26) Veröffentlichungssprache: Deutsch (84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).
- (30) Angaben zur Priorität:
199 48 899.1 11. Oktober 1999 (11.10.1999) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE). Veröffentlicht:
— Ohne internationalen Recherchenbericht und erneut zu
veröffentlichen nach Erhalt des Berichts.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND CIRCUIT FOR DIGITALLY CORRECTING THE FREQUENCY OF A SIGNAL

(54) Bezeichnung: VERFAHREN UND SCHALTUNGSANORDNUNG ZUR DIGITALEN FREQUENZKORREKTUR EINES
SIGNALS

(57) Abstract: The invention relates to a method and a circuit for digitally correcting the frequency of a signal, especially for use in a transmitter/receiver circuit. The frequency of a complex digital signal is corrected by rotating the signal "pointer" (i_0, q_0) about a predetermined angle in the complex I/Q plane according to a correction frequency, by means of the CORDIC algorithm. The CORDIC algorithm has microrotation blocks (11-13) and a character table (14) and a register (31) according to its N-stages.

[Fortsetzung auf der nächsten Seite]



Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur digitalen Frequenzkorrektur eines Signals, insbesondere zum Einsatz in einer Sender-/Empfängerschaltung. Zur Frequenzkorrektur eines komplexen digitalen Signals wird mittels des CORDIC-Algorithmus der Zeiger (i_0, q_0) des Signals in der komplexen I/Q-Ebene um einen vorgegebenen Winkel entsprechend einer Korrekturfrequenz gedreht. Der CORDIC-Algorithmus weist entsprechend seiner N-Stufen Mikrorotationsblöcke (11-13) sowie eine Vorzeichentabelle (14) und ein Register (31) auf.

Beschreibung

Verfahren und Schaltungsanordnung zur digitalen Frequenzkorrektur eines Signals

5

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur digitalen Frequenzkorrektur eines Signals, insbesondere zum Einsatz in einer Sender-/Empfängerschaltung, gemäß dem Oberbegriff von Patentanspruch 1 bzw. 7.

10

In Sender-/Empfängerschaltungen (Transceiver) werden lokale Oszillatoren zur Erzeugung einer Referenzfrequenz eingesetzt. Insbesondere aufgrund von Produktionstoleranzen, Temperatur- und Versorgungsspannungsschwankungen kann es zu unerwünschten Schwankungen der Referenzfrequenz kommen. Dies bewirkt, daß die zu verarbeitenden Signale ebenfalls große Frequenzschwankungen aufweisen und dadurch die Leistung der Sender-/Empfängerschaltung verringert wird.

20

Um dem entgegen zu wirken, werden beispielsweise teure und qualitativ hochwertige Oszillatoren, die eine sehr stabile, d.h. schwankungsfreie und genaue Referenzfrequenz erzeugen, in den Sender/Empfängerschaltungen eingesetzt. Ebenso können auch spannungsschwankungs- und temperaturkompensierte Oszillatoren zur Verringerung der Spannungsschwankungs- und Temperaturabhängigkeit der Referenzfrequenz verwendet werden. Ferner werden häufig sogenannte automatische Frequenzkorrekturregelkreise (AFC-Loop: automatic frequency correction loop) zur genauen Einstellung der lokalen Referenzfrequenz benutzt.

30

Nachteilig ist dabei jedoch, daß diese Lösungen einerseits teuer und andererseits schaltungstechnisch sehr aufwendig sind.

35

Um die Kosten einer Sender-/Empfängerschaltung insbesondere für den Einsatz in Massenprodukten wie Mobiltelefonen niedrig zu halten, bietet sich die Benutzung von billigen Oszillato-

ren an, die weder eine Spannungsversorgungs- noch Temperatur-
kontrolleinrichtung aufweisen. Jedoch kann insbesondere in
solchen Produkten keine zu große Schwankung der Referenzfre-
quenz toleriert werden. Daher ist unbedingt eine nachträgliche
5 Korrektur der Frequenz von zu verarbeitenden Signalen
notwendig.

Mathematisch kann ein Frequenzkorrekturvorgang eines Basis-
bandsignals x in einer Sender/Empfängerschaltung beispiels-
10 weise eines Mobilfunkempfängers wie folgt dargestellt werden:

Die Abtastwerte $x(k)$ des Basisbandsignals $x(k) = i(k) +$
 $j \cdot q(k)$ (mit $j = \sqrt{-1}$), dessen Symbole eine Symboldauer T
aufweisen, werden mit den Abtastwerten eines (komplexen)
15 Frequenzkorrektursignals $z(k) = 2\pi f \cdot T/m \cdot k$ multipliziert, wo-
bei m der sogenannte Überabtastfaktor ist; diese Multiplika-
tion im Zeitbereich entspricht im Frequenzbereich einer Fre-
quenzverschiebung des Basisbandsignals $x(k)$ um die Frequenz
 f . In der komplexen Signal-Zeigerebene stellt dies eine Dre-
20 hung des "Zeigers" $x(k)$ um den Winkel $z(k)$ dar:

$$\begin{aligned} x(k) \cdot \exp(j z(k)) &= [i(k) + j \cdot q(k)] [\cos(z(k)) + j \cdot \sin(z(k))] \\ &= [i(k) \cos(z(k)) - q(k) \sin(z(k))] + \\ &\quad j \cdot [i(k) \cdot \sin(z(k)) + q(k) \cdot \cos(z(k))], \end{aligned}$$

25 Je genauer und feiner einstellbar nun das Frequenzkorrektur-
signal $z(k)$ ist, desto besser fällt die Frequenzkorrektur
aus, d.h. in feineren Schritten kann der "Zeiger" $x(k)$ in der
komplexen Ebene gedreht werden.

30 Es wäre beispielsweise möglich, durch digitale Multiplizierer
und Koeffiziententabellen für die Sinus- und Kosinus-Funktion
die Frequenzkorrektur gemäß der obigen Gleichung zu berech-
nen, allerdings bedingt dies einen sehr großen schaltungs-
35 technischen Aufwand, der eine solche Lösung teuer und auf-
wendig macht. Insbesondere bei einer Ausführung als inte-

grierte Schaltung benötigt diese Lösung eine große Chipfläche und ist daher sehr teuer.

5 Aufgabe der Erfindung ist es daher, ein Verfahren und eine Schaltungsanordnung zur digitalen Frequenzkorrektur, insbesondere zum Einsatz in einer Sender-/Empfängerschaltung, anzugeben, die mit geringem schaltungstechnischen Aufwand eine sehr genaue Frequenzkorrektur erzeugt.

10 Diese Aufgabe wird durch ein Verfahren mit den Merkmalen von Patentanspruch 1 und eine Vorrichtung mit den Merkmalen von Patentanspruch 7 gelöst. Weiterbildungen der Erfindung sind den abhängigen Patentansprüchen entnehmbar.

15 Ein wesentlicher Gedanke der Erfindung ist es, zur digitalen Frequenzkorrektur eines Signals den CORDIC (Coordinate Rotation Digital Computer)-Algorithmus zu verwenden. Mittels des CORDIC-Algorithmus kann nämlich verhältnismäßig einfach eine Frequenz- und Phasenkorrektur durchgeführt werden. Der
20 CORDIC-Algorithmus läßt sich mit einem geringen schaltungstechnischen Aufwand ausführen, so daß die Kosten einer darauf basierenden Schaltung - billiger Oszillator und CORDIC-Korrektur - geringer als bei einem aufwendigen kompensierten Oszillator sind.

25 Der CORDIC-Algorithmus ist in J.E.Volder, "The CORDIC trigonometric computing technique", IRE Trans.Electronic Computers, Vol.8, pp. 340-334, 1959, beschrieben; der Algorithmus ist N-fach iterativ und dient zur Drehung eines Vektors um
30 einen definierten Winkel $\alpha_n = \arctan(2^{-n})$, $n = 0, 1, \dots, N-1$. Stellt der Vektor, wie eingangs beschrieben, den Zeiger eines komplexen Signals dar, ist durch diese Drehung die Veränderung der Frequenz des Signals entsprechend einer Multiplikation mit einem Frequenzkorrektursignal möglich. Mit je-
35 der Iteration wird der Drehwinkel kleiner ($\alpha_0 = 45^\circ > \alpha_1 = 26,6^\circ > \dots > \alpha_{N-1}$), so daß sich die Frequenz des Signals mit

zunehmenden Iterationsschritt in immer kleineren Schritten ändert.

Die iterative Drehung um einen Winkel α kann durch die folgende lineare Kombination dargestellt werden:

$$\alpha \approx \sigma_0 \alpha_0 + \sigma_1 \alpha_1 + \dots + \sigma_{N-1} \alpha_{N-1} \quad (\sigma_n = \pm 1)$$

Die Genauigkeit der Drehung ist durch den kleinsten Drehwinkel α_{N-1} vorgegeben. Durch das Vorzeichen σ_n wird die Drehrichtung (+1 Gegen-Uhrzeigersinn, -1 Uhrzeigersinn) angegeben.

Ein Signal, das durch Abtastwerte der Inphase-Komponente I_n und der Quadratur-Komponente Q_n dargestellt ist, wird nun iterativ durch den CORDIC-Algorithmus um den Winkel α gedreht. Dazu können die einzelnen Drehungen gemäß dem CORDIC-Algorithmus durch einfache Schiebe- und Additionsoperationen ausgeführt werden:

20

$$\begin{aligned} I_{n+1} &= I_n - \sigma_n 2^{-n} Q_n \\ Q_{n+1} &= \sigma_n 2^{-n} I_n + Q_n \end{aligned}$$

Mit der Formel $\alpha_n = \arctan(2^{-n})$ für den Drehwinkel kann die obige Gleichung auch folgendermaßen dargestellt werden:

25

$$\begin{aligned} I_{n+1} &= \sqrt{1 + 2^{-2n}} \cdot [\cos(\sigma_n \alpha_n) \cdot I_n - \sin(\sigma_n \alpha_n) \cdot Q_n] \\ Q_{n+1} &= \sqrt{1 + 2^{-2n}} \cdot [\sin(\sigma_n \alpha_n) \cdot I_n + \cos(\sigma_n \alpha_n) \cdot Q_n] \end{aligned}$$

30 Nach N Drehungen erhält man:

$$\begin{aligned} I_N &= K \cdot [\cos(z) \cdot I_0 - \sin(z) \cdot Q_0] \\ Q_N &= K \cdot [\sin(z) \cdot I_0 + \cos(z) \cdot Q_0] \end{aligned}$$

35 Mit $K \approx 1,647$. Dadurch kann das zu korrigierende Signal in der Frequenz eingestellt werden.

- Bei dem erfindungsgemäßen Verfahren wird nun die komplexe Multiplikation der Abtastwerte $x(k)$ eines Signals, insbesondere eines Basisbandsignals, mit einem Frequenzkorrektursignal $z(k)$ durch den CORDIC-Algorithmus ausgeführt. Da im
- 5 Prinzip keine "starre" Frequenzkorrektur, sondern eine aufgrund des CORDIC-Algorithmus variable Frequenzkorrektur stattfindet, spielt die Konstanz der Referenzfrequenz eines Oszillators keine große Rolle.
- 10 Um den CORDIC-Algorithmus für das erfindungsgemäße Verfahren einzusetzen, müssen allerdings einige Nachteile des Algorithmus durch die Erfindung ausgeglichen werden:
- Da der CORDIC-Algorithmus nur einen begrenzten Korrekturbereich von einem Drehwinkel von ungefähr 99° ermöglicht, ist eine Verringerung des zur Korrektur notwendigen Drehwinkels erforderlich. Hierzu ist erfindungsgemäß vorgesehen, den Drehwinkel so zu korrigieren, daß er immer einen Wert von kleiner oder gleich 90° aufweist. Der durch $z(k)$
 - 15 dargestellte Drehwinkel wird Modulo- 2π in einem Register der Bitbreite N_w gespeichert. Der in dem Register gespeicherte Wert $w(k)$ wird durch die Formel $w(k) = w(k-1) + f \cdot T/m$ akkumuliert. Der Wert 111...111 für $w(k)$ entspricht dem größten Wert $1 - 2^{N_w}$ entsprechend einem Winkel von
 - 20 $2\pi \cdot (1 - 2^{N_w})$; durch einfaches Ignorieren eines Überlaufs des Registers wird somit die Modulo- 2π -Operation erreicht.
 - Ferner ist es für ein optimales Ausführen des CORDIC-Algorithmus erforderlich, daß der durch das Frequenzkorrektursignal dargestellte Zeiger $z(k)$ im ersten oder vierten
 - 30 Quadranten der komplexen I/Q-Ebene liegt. Hierzu ist vorgesehen, daß die Inphase- und Quadratur-Komponente des Zeigers des zu korrigierenden Signal jeweils mit $(-1)^s$ multipliziert werden, $s = 0,1$, wenn der Zeiger im zweiten oder dritten Quadranten der komplexen I/Q-Ebene liegt und
 - 35 dann den Zeiger um den Winkel $z(k) - \pi$ zu drehen.

Das Vorzeichen-Flag s wird wie die Vorzeichen σ_n für die einzelnen Iterationen (Mikrorotationen) des CORDIC-Algorithmus berechnet. Erfindungsgemäß ist hierzu eine Vorzeichentabelle vorgesehen, in der für alle möglichen Rotationswinkel die
 5 entsprechenden Vorzeichen der Mikrorotationen derart abgelegt sind, daß das Vorzeichen-Flag s und die beiden Vorzeichen σ_0 und σ_1 direkt berechnet werden und die übrigen Vorzeichen σ_n , $n = 2, 3, \dots, N-1$, aus den Bits w_2, w_3, \dots, w_{N+1} des in dem Register gespeicherten Werts $w(k)$ berechnet werden.

10

Die Bitbreite N_w des Registers und die Anzahl der Mikrorotationen N des CORDIC-Algorithmus beeinflussen den Korrekturbereich bzw. das Phasenrauschen des frequenzkorrigierten Signals $x(k) \cdot \exp(jz(k))$ und sind daher gemäß der Erfindung wie
 15 folgt zu wählen.

Die Bitbreite N_w sollte für einen korrigierbaren Frequenzbereich Δf die folgende Ungleichung erfüllen:

$$20 \quad N_w \geq \log_2(m) - \log_2(\Delta f \cdot T)$$

Für ein gewünschtes Signal-zu-Phasenrausch-Verhältnis SNR sollte die Anzahl N der Mikrorotationen wie folgt gewählt werden:

25

$$(SNR + 3)/6 \leq N \leq N_w - 2$$

Damit wird das gewünschte Signal-zu-Phasenrausch-Verhältnis SNR erreicht, wobei die obere Grenze für N durch die Bit-
 30 breite des Registers vorgegeben ist.

Schließlich müssen bei der Implementierung des CORDIC-Algorithmus noch zwei Guard-Bits in jeder Iteration des Algorithmus vorgesehen werden, um den größtmöglichen Wert des Skalierungsfaktors, nämlich $\sqrt{2} \cdot K \approx \sqrt{2} \cdot 1,647 \approx 2,33$ verarbeiten zu können. K ist der Skalierungsfaktor aufgrund des
 35 CORDIC-Algorithmus und $\sqrt{2}$ ist der mögliche "Wachstums-

faktor" der Inphase- und Quadratur-Komponente durch den CORDIC-Algorithmus. Demnach sollte die Ein- und Ausgangsbitbreite des CORDIC-Algorithmus so groß wie möglich sein, vorzugsweise mindestens größer als $N + 2$. Andernfalls wird durch Rundungsfehler des CORDIC-Algorithmus ein größeres Rauschen als durch Phasenfehler erzeugt.

Die folgende Beschreibung von bevorzugten Ausführungsformen der Erfindung anhand von Zeichnungen dient zur weiteren Erklärung der Erfindung. In der Zeichnung zeigt:

Figur 1 ein Blockschaltbild mit den wesentlichen Komponenten zur Durchführung des erfindungsgemäßen Verfahrens,

Figur 2 den Aufbau der Vorzeichen-Tabelle für den CORDIC-Algorithmus,

Figur 3 den Aufbau eines Mikrorotationsblockes für den CORDIC-Algorithmus, und

Figur 4 den Einsatz des erfindungsgemäßen Verfahrens in einem Transceiver eines GSM-Mobiltelefones.

In Figur 1 werden Abtastwerte i_0 und q_0 der Inphase- bzw. Quadratur-Komponente eines komplexen Basisbandsignals $x(k)$ einem Quadrantenkorrekturblock 10 zugeführt (k bezeichnet hierbei die diskreten Abtastzeitpunkte). Der Quadrantenkorrekturblock 10 bewirkt, daß der durch das Basisbandsignal $x(k)$ dargestellte Zeiger in der komplexen Inphase-/Quadraturebene im ersten oder vierten Quadranten liegt. Liegt der Zeiger nämlich in dem zweiten oder dritten Quadranten, arbeitet der CORDIC-Algorithmus nicht richtig. Wie bereits beschrieben, muß die Inphase- und die Quadratur-Komponente jeweils mit -1 multipliziert werden, wenn der Zeiger im zweiten oder dritten Quadranten der komplexen I/Q-Ebene liegt.

Dem Quadrantenkorrekturblock 10 sind in Reihe N Mikrorotationsblöcke nachgeschaltet, von denen nur drei Blöcke 11, 12 und 13 dargestellt sind. Jeder Mikrorotationsblock berechnet einen Schritt des CORDIC-Algorithmus, d.h. dreht den durch die Inphase- und Quadratur-Komponente dargestellten Zeiger in der komplexen I/Q-Ebene um einen Winkel $\pm \alpha_n = \pm \arctan(2^{-n})$. Am Eingang des Mikrorotationsblockes 11 liegen die Komponenten I_0 und Q_0 an, die am Ausgang als Komponenten I_1 und Q_1 einen um den Winkel $\pm \alpha_0 = \pm \arctan(1)$ gedrehten Zeiger darstellen. Am Ausgang des Mikrorotationsblockes 12 liegen die Komponenten I_2 und Q_2 an, die einen um den Winkel $\pm \alpha_1 = \pm \arctan(2^{-1})$ gedrehten Zeiger darstellen. Schließlich liegt am Ausgang des Mikrorotationsblockes 13 nach Durchlaufen von N Stufen des CORDIC-Algorithmus ein durch die Komponenten I_N und Q_N dargestellter Zeiger an, der das frequenzkorrigierte komplexe Basisbandsignal darstellt. Bei jeder Drehung in einem Mikrorotationsblock wird entweder im Gegen-Uhrzeigersinn oder im Uhrzeigersinn gedreht. Die Drehrichtung hängt dabei von den Vorzeichen σ_n ab.

Die Vorzeichen σ_n und das Eingangssignal s für den Quadrantenkorrekturblock 10 werden von der Vorzeichentabelle 14 erzeugt. Die Vorzeichentabelle 14 wird von einem Register 31 mit einer Bitbreite N_w angesteuert, in dem ein Registerwert w mit N_w Bits abgelegt ist. Dabei werden die ersten $(N+2)$ Bits von $w(k)$ des Registers 31 der Vorzeichentabelle 14 zugeführt.

In Figur 2 ist der Aufbau der Vorzeichentabelle 14 dargestellt. Das Eingangssignal s für den Quadrantenkorrekturblock 10 wird durch eine logische XOR-Verknüpfung 16 der beiden niederwertigsten Bits w_0 und w_1 des Registerwerts w berechnet. Das erste Vorzeichen σ_0 entspricht direkt dem Bit w_1 des Registerwerts w . Das zweite Vorzeichen σ_1 wird durch Invertierung 17 des Bits w_2 des Registerwerts w berechnet. Die restlichen Vorzeichen σ_2 bis σ_{N-1} sind in einem Festwertspeicher 15 (ROM: Read Only Memory) abgelegt, in dem 2^N ($N - 2$) Bits gespeichert sind. Durch die Berechnung von s , σ_0 und σ_1

aus den drei niederwertigsten Bits w_0 bis w_2 kann das ROM bzw. der Festwertspeicher 15 kleiner ausfallen, ansonsten wäre nämlich eine Speicherkapazität von $2^{N+2} \cdot (N + 1)$ Bits erforderlich.

5

Die folgende Tabelle verdeutlicht die Berechnung von s , σ_0 und σ_1 aus den drei niederwertigsten Bits w_0 bis w_2 des Registerwerts w und den entsprechenden Drehwinkelbereich:

w_0	w_1	w_2	Drehwinkelbereich		Quadrant	S	σ_0	σ_1
0	0	0	0°	45°	I	0	0	1
0	0	1	45°	90°	I	0	0	0
0	1	0	90°	135°	II	1	1	1
0	1	1	135°	180°	II	1	1	0
1	0	0	180°	225°	III	1	0	1
1	0	1	225°	270°	III	1	0	0
1	1	0	270°	315°	IV	0	1	1
1	1	1	315°	360°	IV	0	1	0

10

Die Vorzeichen σ_n sind so kodiert, daß eine logische "0" eine Drehung im Gegen-Uhrzeigersinn und eine logische "1" eine Drehung im Uhrzeigersinn bedeutet.

15 Die Eingangsbits der Vorzeichentabelle 14, d.h. der Registerwert w wird durch eine Akkumulation $w(k) = w(k-1) + f \cdot T/m$ ausgehend von dem Vorgabewert $f \cdot T/m$ berechnet. Hierzu ist ein Addierer 18 und ein Verzögerungsglied 19 vorgesehen. Das Verzögerungsglied 19 verzögert den letzten Registerwert $w(k-1)$

20 um die Zeit T/m . Der Addierer addiert dann den Vorgabewert $f \cdot T/m$, der die Korrekturfrequenz f vorgibt, zu $w(k-1)$. Das Ergebnis der Addition ergibt dann den neuen Registerwert w für das Register 31.

25 In Figur 3 ist der Aufbau eines Mikrorotationsblockes dargestellt, der die eingangs beschriebene CORDIC-Grundoperation

$$I_{n+1} = I_n - \sigma_n 2^{-n} Q_n$$

$$Q_{n+1} = \sigma_n 2^{-n} I_n + Q_n$$

berechnet. Hierzu ist ein erstes und zweites Schieberegister 20 bzw. 21 vorgesehen, das jeweils die Inphasekomponente I_n bzw. Quadraturkomponente Q_n um n Bits verschiebt (2^{-n}). Die um n Bits geschobene Inphasekomponente I_n bzw. Quadraturkomponente Q_n wird dann mit dem Vorzeichen σ_n bzw. $-\sigma_n$ multipliziert, d.h. das Vorzeichen der geschobenen Komponenten wird entsprechend verändert, und zu der ursprünglichen Quadraturkomponente Q_n bzw. Inphasekomponente I_n in einem ersten 22 bzw. zweiten 23 Akkumulator addiert. Als Ergebnis ergibt sich ein gedrehter Zeiger, dargestellt durch die Inphasekomponente I_{n+1} und Quadraturkomponente Q_{n+1} .

Figur 4 zeigt den bevorzugten Einsatz des erfindungsgemäßen Verfahrens in einem Transceiver eines GSM-Mobiltelefones. Abtastwerte $x(k)$ eines Basisbandsignals werden einem digitalen Vorfilter 24 zugeführt, das mit einer hohen Taktrate betrieben wird, die ein Vielfaches der Abtastrate von 2 des Basisbandsignals beträgt.

Dem digitalen Vorfilter 24 ist ein erster Dezimator 25 nachgeschaltet, der die hohe Taktrate des Ausgangssignals der Vorfilters 24 auf eine geringere Taktrate teilt.

Dem ersten Dezimator 25 ist ein Offset-Kompensationsblock 26 zur Kompensation eines gegebenenfalls in dem Basisbandsignal enthaltenen DC-Offset, d.h. Gleichanteils, vorgesehen. Der zu kompensierende Offset wird dem Offset-Kompensationsblock 26 von einem digitalen Signalprozessor 30 vorgegebenen. Der digitale Signalprozessor 30 schätzt anhand erstes Abtastwerte des Basisbandsignals einen gegebenenfalls in dem Signal enthaltenen Offset bzw. Gleichanteil und führt diesen geschätzten Anteil dem Offset-Kompensationsblock 26 zur Kompensation zu. Würde ein Offset des Basisbandsignals nicht beseitigt werden, so wird dieser Offset durch den CORDIC-Algorithmus in ein störendes Sinussignal überführt, das beispielsweise in

dem digitalen Signalprozessor 30 nur aufwendig wieder zu beseitigen ist.

5 Dem Offset-Kompensationsblock 26 ist ein CORDIC-Frequenzkorrekturblock 27 zur Durchführung des erfindungsgemäßen Verfahrens nachgeschaltet. Die Korrekturfrequenz f , um die das Basisbandsignal korrigiert werden soll, wird dazu dem CORDIC-Frequenzkorrekturblock 27 von dem digitalen Signalprozessor 30 zugeführt. Der CORDIC-Frequenzkorrekturblock 27 korrigiert
10 die Frequenz des Basisbandsignals wie vorher beschrieben um die Korrekturfrequenz f .

Dem CORDIC-Frequenzkorrekturblock 27 ist ein digitales Nachfilter 28 nachgeschaltet, das genau mit der zweifachen Abtastrate 2 des Basisbandsignals getaktet ist. Das digitale
15 Nachfilter 28 ist ein Tiefpaßfilter mit einer sehr großen Flankensteilheit und dient zum Beseitigen störender Frequenzen und von Rauschen des Basisbandsignals.

20 Mit einem zweiten Dezimator 29 wird dann das frequenzkorrigierte und mehrfach gefilterte Basisbandsignal um den Faktor 2 auf die Abtastrate des Basisbandsignals dezimiert und dem digitalen Signalprozessor 30 zur weiteren Verarbeitung zugeführt.

25 An dieser Stelle sei darauf hingewiesen, daß sich das erfindungsgemäße Verfahren und die entsprechende Vorrichtung zur Durchführung des Verfahrens auch bevorzugt zum Einsatz in dem Sender und Empfänger eines UMTS (Universal Mobile Telecommunication System)-Mobilfunkgerätes zur Frequenzkorrektur eignet.
30 Eine weitere Anwendung ist der Einsatz des erfindungsgemäßen Verfahrens überall dort in Sendern und Empfängern, wo das erfindungsgemäße Verfahren und die entsprechende Einrichtung neben der Frequenzkorrektur auch zur digitalen Frequenz-
35 mischung dient. Da die Aufgaben der Frequenzkorrektur und der Frequenzmischung sehr verwandt sind, läßt sich auf diese Weise der traditionelle Mischer sparen und somit der Aufwand

12

nochmals deutlich reduzieren. Beispiele für solche Sender und Empfänger findet man im Schnurlos-Telefon des DECT-Standards (Digital Enhanced Cordless Telephone), DVB (Digital Video Broadcasting) und Kabelmodem.

Bezugszeichenliste

10	Quadrantenkorrekturblock
11 - 13	Mikrorotationsblöcke des CORDIC-Algorithmus
14	Vorzeichentabelle
15	Festwertspeicher (ROM)
16	XOR-Verknüpfung
17	Invertierung
18	Addierer
19	Verzögerungsglied
20, 21	erstes, zweites Schieberegister
22, 23	erster, zweiter Akkumulator
24	digitales Vorfilter
25	erster Dezimator
26	Offset-Kompensationsblock
27	CORDIC-Frequenzkorrekturblock
28	digitales Nachfilter
29	zweiter Dezimator
30	digitaler Signalprozessor
31	Register

Patentansprüche

1. Verfahren zur digitalen Frequenzkorrektur eines Signals, das mit einem Abtasttakt (k) abgetastet und digitalisiert wird ($x(k)$) und das mittels eines CORDIC-Algorithmus mit N -Stufen derart verarbeitet wird, daß die Frequenz des Signals ($x(k)$) um eine vorgebbare Frequenz geändert wird, wobei
- das Signal ($x(k)$) durch einen ersten Vektor mit der ersten Inphasekomponente (i_0) und der ersten Quadraturkomponente (q_0) in der komplexen I/Q-Ebene dargestellt wird,
 - wobei der erste Vektor mittels des CORDIC-Algorithmus um einen vorgegebenen Winkel ($z(k)$) auf einen zweiten Vektor mit einer zweiten Inphasekomponente (I_N) und zweiten Quadraturkomponente (Q_N) abgebildet wird und der zweite Vektor das Signal mit einer geänderten Frequenz und Phase darstellt,
 - wobei sich der vorgegebene Winkel ($z(k)$) aus einer Vielzahl von N verschiedenen Drehwinkeln (α_n) zusammensetzt,
 - wobei jeder der verschiedenen Drehwinkel (α_n) gemäß der Formel $\arctan(2^{-n})$, $n = 0, 1, \dots, N-1$ berechnet wird und jeweils mit einem Vorzeichen (σ_n) versehen wird, das die Drehrichtung angibt.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der vorgegebene Winkel ($z(k)$) auf einen Bereich von 0 bis 2π dadurch begrenzt wird, daß der Winkel ($z(k)$) durch einen Registerwert ($w(k)$) dargestellt wird, dessen Bitbreite den Bereich von 0 bis 2π des Winkels ($z(k)$) vorgibt, wobei der Registerwert ($w(k)$) in jedem Takt (k) des Abtasttaktes durch Addition eines dem vorgegebenen Winkel ($z(k)$) zugeordneten Wertes ($f \cdot T/m$) und des Registerwertes ($w(k-1)$) des vorhergehenden Taktes ($k-1$) des Abtasttaktes berechnet wird und ein Überlauf des Registerwerts ($w(k)$) vernachlässigt wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der vorgegebene Winkel ($z(k)$) auf

15

einen Bereich von $-\pi/2$ bis $+\pi/2$ dadurch begrenzt wird, daß vor dem CORDIC-Algorithmus eine Quadrantenkorrektur durchgeführt wird, wobei die erste Inphasekomponente (i_0) und die erste Quadraturkomponente (q_0) jeweils mit $(-1)^s$, $s = 0, 1$,
5 multipliziert wird.

4. Verfahren nach einem der vorangegangenen Ansprüche, dadurch gekennzeichnet, daß die Bitbreite N_w des Registerwerts ($w(k)$) die folgende Bedingung erfüllt:
10 $N_w \geq \log_2(m) - \log_2(\Delta f T)$,
wobei m der Überabtastfaktor des Signals ($x(k)$), Δf die vorgebbare Frequenz und T die Symboldauer eines digitalen Wertes des Signals ($x(k)$) darstellt.

15 5. Verfahren nach einem der Ansprüche 2 - 4, dadurch gekennzeichnet, daß die Anzahl N der Stufen des CORDIC-Algorithmus für ein vorgegebenes Signal-Phasenrauschen-Verhältnis SNR und eine Bitbreite N_w des Registerwertes ($w(k)$) die folgende Bedingung erfüllt:
20 $(\text{SNR} + 3)/6 \leq N \leq N_w - 2$.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß in jeder Stufe des CORDIC-Algorithmus zwei Guard-Bits vorgesehen sind und die
25 Ein- und Ausgangsbitbreite des CORDIC-Algorithmus wenigstens größer als $N + 2$ ist.

7. Vorrichtung zur digitalen Frequenzkorrektur eines Signals, das mit einem Abtasttakt (k) abgetastet und digitalisiert
30 ($x(k)$) ist,
- wobei eine Reihenschaltung von N Mikrorotationsblöcken (11 - 13) vorgesehen ist, der das Signal (i_0 , q_0) zugeführt wird,
- wobei jeder Mikrorotationsblock (11 - 13) jeweils ein Vorzeichen (σ_n) aus einer Vorzeichentabelle (14) zugeführt
35 wird,

16

- wobei ein Register (31) vorgesehen ist, dessen Registerwert ($w(k)$) der Vorzeichentabelle (14) als Adresse zugeführt wird,
- wobei ein Addierer (18) und ein Verzögerungsglied (19) vorgesehen sind und der Addierer (18) einen vorgegebenen digitalen Frequenzwert ($f \cdot T/m$) mit dem Ausgangswert des Verzögerungsglieds (19) addiert und das Ergebnis in dem Register (31) speichert und dem Verzögerungsglied (19) der Registerwert ($w(k-1)$) des vorhergehenden Taktes ($k-1$) zugeführt wird.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß der Reihenschaltung der Mikrorotationsblöcke (11 - 13) ein Quadrantenkorrekturblock (10) vorgeschaltet ist, dem ein Eingangssignal (s) zugeführt wird, wobei ein das Signal darstellende Vektor (i_0, q_0) in den ersten oder vierten Quadranten der komplexen I/Q-Ebene durch den Quadrantenkorrekturblock (10) gedreht wird.

9. Vorrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß jeder Mikrorotationsblock (11 - 13) zwei Schieberegister (20, 21) zum Schieben der Komponenten eines Eingangsvektors (I_n, Q_n) des Mikrorotationsblocks (11 - 13) um n Bits und zwei Akkumulatoren (22, 23) zum Addieren der Komponenten des Eingangsvektors (I_n, Q_n) mit den Ausgangswerten der Schieberegister (20, 21) aufweist, wobei die Ausgangswerte der Schieberegister (20, 21) mit dem jeweiligen Mikrorotationsblock (11 - 13) zugeordneten Vorzeichen (σ_n) versehen sind.

10. Vorrichtung nach Anspruch 7, 8 oder 9, dadurch gekennzeichnet, daß die Vorzeichentabelle (14) einen Festwertspeicher (15) für 2^N ($N - 2$) Bits und ein XOR-Gatter (16) und einen Inverter (17) zur Erzeugung der Vorzeichen (σ_0, σ_1) für den ersten und zweiten Mikrorotationsblock (11, 12) und des Eingangssignals (s) für den Quadrantenkorrekturblock (10) aufweist.

11. Vorrichtung nach Anspruch 10, dadurch gekennzeichnet, daß das Eingangssignal (s) für den Quadrantenkorrekturblock (10) durch eine logische XOR-Verknüpfung der beiden niederwertigsten Bits (w_0 , w_1) des Registerwerts ($w(k)$) gebildet wird.
12. Vorrichtung nach Anspruch 10 oder 11, dadurch gekennzeichnet, daß das Vorzeichen (σ_0) für den ersten Mikrorotationsblock (11) dem zweiten Bit (w_1) des Registerwerts ($w(k)$) entspricht.
13. Vorrichtung nach Anspruch 10, 11 oder 12, dadurch gekennzeichnet, daß das Vorzeichen (σ_1) für den zweiten Mikrorotationsblock (12) dem invertierten dritten Bit (w_2) des Registerwerts ($w(k)$) entspricht.
14. Empfänger eines Mobilfunkgerätes, der ein Basisbandfilter mit mehreren Stufen (24 - 30) zur Filterung und Verarbeitung eines empfangenen Basisbandsignals ($x(k)$) aufweist und wobei das Verfahren nach einem der Ansprüche 1 bis 6 und/oder die Vorrichtung nach einem der Ansprüche 7 bis 13 vor der letzten Stufe (28) des Basisbandfilters zur Frequenzkorrektur des Basisbandsignals ($x(k)$) vorgesehen ist.
15. Empfänger nach Anspruch 14, dadurch gekennzeichnet, daß vor dem Verfahren nach einem der Ansprüche 1 bis 6 und/oder der Vorrichtung nach einem der Ansprüche 7 bis 13 eine Offset-Kompensation (26) des Basisbandsignals ($x(k)$) zur Entfernung von Gleichanteilen vorgesehen ist.
16. Empfänger nach Anspruch 14 oder 15, dadurch gekennzeichnet, daß der Empfänger in einem GSM- oder UMTS-Mobilfunkgerät eingesetzt wird.

18

17. Verwendung des Verfahrens nach einem der Ansprüche 1 bis 6 und/oder der Vorrichtung nach einem der Ansprüche 7 bis 13 in einem Kommunikationssystem zum digitalem IF-Mischen und/oder Frequenzkorrektur.

1/2

FIG 1

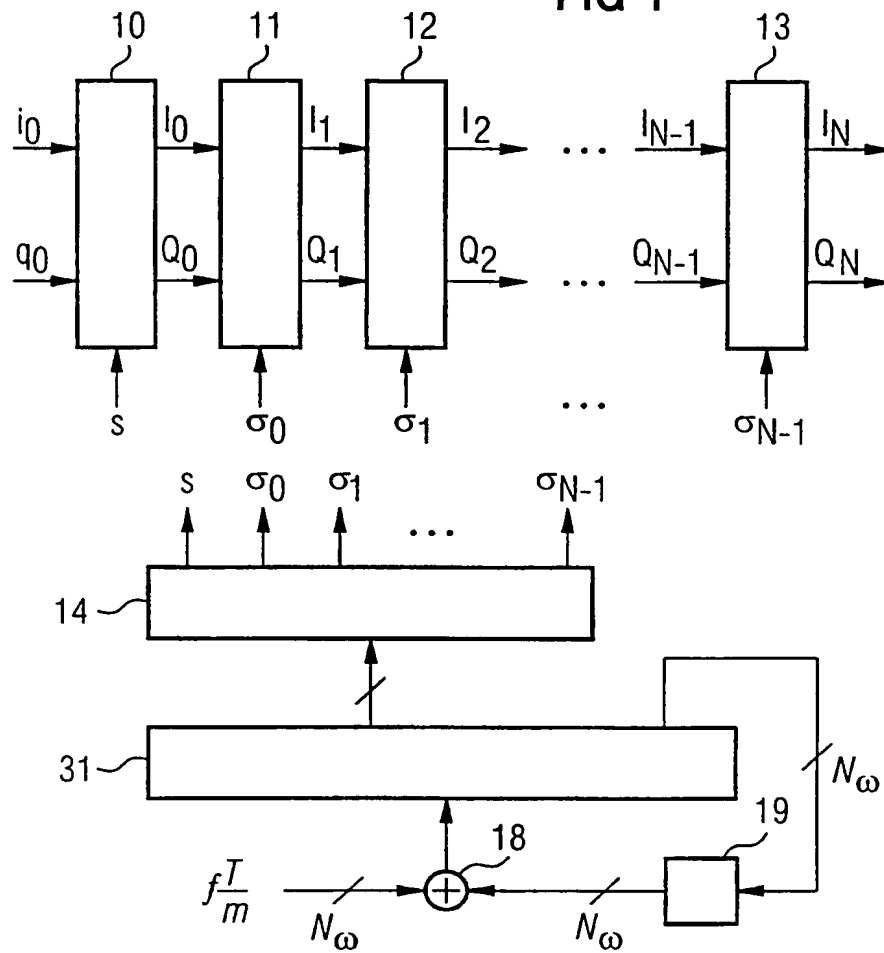


FIG 2

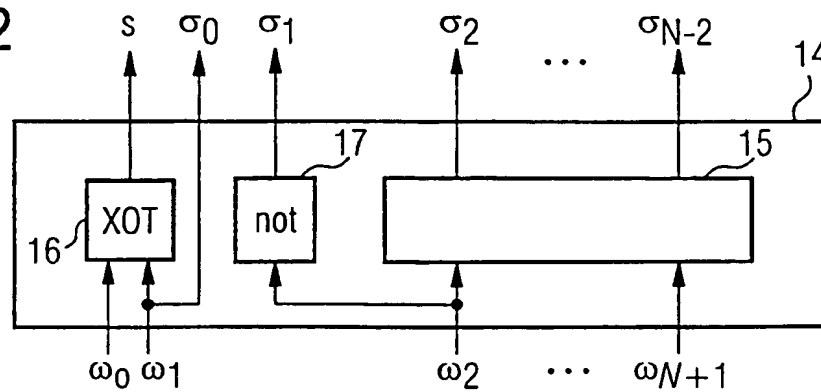


FIG 3

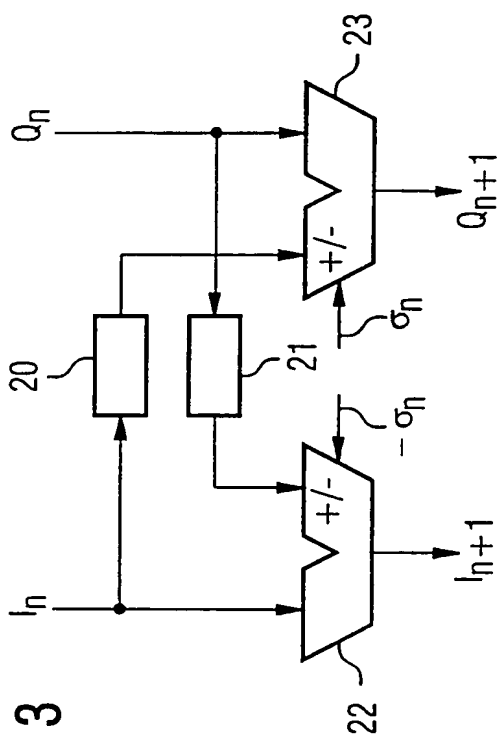
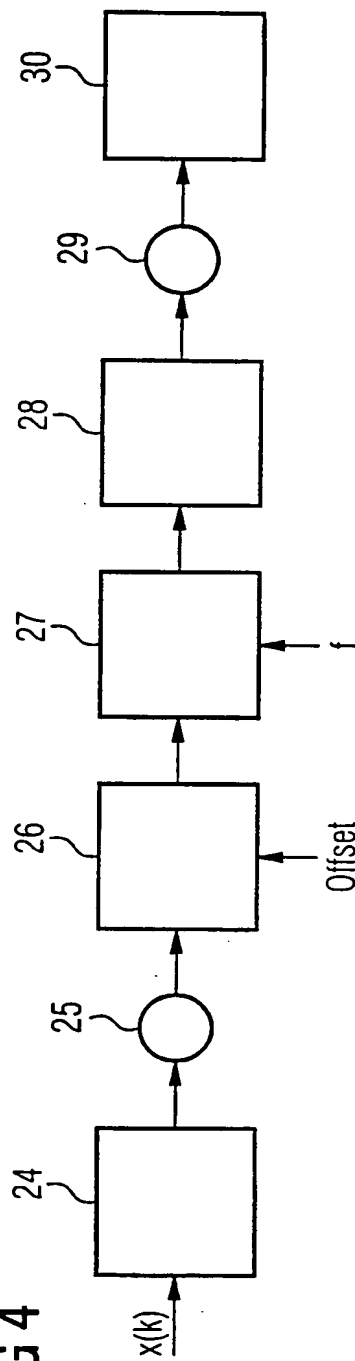


FIG 4



VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

REC'D 24 JAN 2002

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

6T



Aktenzeichen des Anmelders oder Anwalts GR 99 P 5026-PCT	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/DE00/03601	Internationales Anmeldedatum (Tag/Monat/Jahr) 11/10/2000	Prioritätsdatum (Tag/Monat/Tag) 11/10/1999
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H04L27/00		
Anmelder INFINEON TECHNOLOGIES AG et al.		

- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.
 - ☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 5 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☒ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 10/05/2001	Datum der Fertigstellung dieses Berichts 22.01.2002
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Pajatakis, E Tel. Nr. +49 89 2399 8898 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigefügt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):
Beschreibung, Seiten:

1-13 ursprüngliche Fassung

Patentansprüche, Nr.:

1-15 eingegangen am 29/12/2001 mit Schreiben vom 28/12/2001

Zeichnungen, Blätter:

1/2,2/2 ursprüngliche Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE00/03601

- ☐ Beschreibung, Seiten:
☐ Ansprüche, Nr.:
☐ Zeichnungen, Blatt:
5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen).

6. Etwaige zusätzliche Bemerkungen:

III. Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit

1. Folgende Teile der Anmeldung wurden nicht daraufhin geprüft, ob die beanspruchte Erfindung als neu, auf erfinderischer Tätigkeit beruhend (nicht offensichtlich) und gewerblich anwendbar anzusehen ist:

☐ die gesamte internationale Anmeldung.

☒ Ansprüche Nr. 15.

Begründung:

☐ Die gesamte internationale Anmeldung, bzw. die obengenannten Ansprüche Nr. beziehen sich auf den nachstehenden Gegenstand, für den keine internationale vorläufige Prüfung durchgeführt werden braucht (*genaue Angaben*):

☒ Die Beschreibung, die Ansprüche oder die Zeichnungen (*machen Sie hierzu nachstehend genaue Angaben*) oder die obengenannten Ansprüche Nr. 15 sind so unklar, daß kein sinnvolles Gutachten erstellt werden konnte (*genaue Angaben*):
siehe Beiblatt

☐ Die Ansprüche bzw. die obengenannten Ansprüche Nr. sind so unzureichend durch die Beschreibung gestützt, daß kein sinnvolles Gutachten erstellt werden konnte.

☐ Für die obengenannten Ansprüche Nr. wurde kein internationaler Recherchenbericht erstellt.

2. Eine sinnvolle internationale vorläufige Prüfung kann nicht durchgeführt werden, weil das Protokoll der Nukleotid- und/oder Aminosäuresequenzen nicht dem in Anlage C der Verwaltungsvorschriften vorgeschriebenen Standard entspricht:

☐ Die schriftliche Form wurde nicht eingereicht bzw. entspricht nicht dem Standard.

☐ Die computerlesbare Form wurde nicht eingereicht bzw. entspricht nicht dem Standard.

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE00/03601

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche 1-14
	Nein: Ansprüche
Erfinderische Tätigkeit (ET)	Ja: Ansprüche
	Nein: Ansprüche 1-14
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche 1-14
	Nein: Ansprüche

2. Unterlagen und Erklärungen siehe Beiblatt

Zu Punkt III

Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit

1. Im Anspruch 15 wird versucht eine Anordnung durch ihre Verwendung zu definieren (vgl. auch Richtlinien III, 4.8a).

Zu Punkt V

Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Der Gegenstand des Anspruchs 1 ist nicht erfinderisch (Artikel 33(3)).
 - 1.1 Die Merkmale des Anspruchs 1, Zeilen 2-22, betreffen die Frequenzkorrektur mittels des wohlbekannten CORDIC-Algorithmus. Diese Merkmale sind aus **D1** = *NAHM S ET AL: 'A CORDIC-BASED DIGITAL QUADRATURE MIXER: COMPARISON WITH A ROM-BASED ARCHITECTURE' ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, Bd. 4, 31. Mai 1998 (1998-05-31), Seiten 385-388, XP000873520 New York, USA ISBN: 0-7803-4456-1* (vgl. Seite 385, rechte Spalte, letzter Absatz, Seite 386, linke Spalte, erster Absatz, Figur 2).

Ferner offenbart **D1**, daß die Ein- und Ausgangsbitbreite B_c des CORDIC-Algorithmus größer als die Anzahl der Rotationen $n+2$ ist (vgl. Seite 386, linke Spalte, dritter Absatz, Tabelle 1 (Werte unter B_c und n)). Dadurch werden Rundungsfehler vermieden.

- 1.2 Der Anspruch 1 unterscheidet sich von **D1** nur, daß der Drehwinkel im Bereich $-\pi/2$ bis $+\pi/2$ begrenzt wird. Dabei handelt es sich jedoch um eine offensichtliche Maßnahme um den Recheneinwand zu vermindern. Die Tatsache, daß die Bearbeitung des Zahlenbereichs $0-360^\circ$ einen größeren Hardware- und Softwareeinwand verursacht gehört zum grundsätzlichen Wissen eines Fachmanns, der mit Rechenschaltungen vertraut ist.

2. Die obengenannte Feststellung gilt auch für den Anspruch 7, der dem Anspruch 1 entspricht. Die im Anspruch 7 zusätzlich erwähnten Guardbits zur Erweiterung der Bitbreite sind ebenso aus **D1** (vgl. Seite 386, linke Spalte, dritter Absatz) bekannt.
3. Die zusätzlichen Merkmale der abhängigen Ansprüche fügen den Ansprüchen 1 und 7 nichts erfinderisches hinzu, weil diese Merkmale entweder aus dem obengenannten Stand der Technik bekannt sind (Guardbits, Register als Rotationsblöcke) oder allgemein übliche Maßnahmen darstellen (Winkelbegrenzung durch Multiplikation).

Patentansprüche

1. Verfahren zur digitalen Frequenzkorrektur eines Signals $x(k)$, das mit einem Abtasttakt k abgetastet und digitalisiert wird, und das mittels eines CORDIC-Algorithmus mit N -Stufen derart verarbeitet wird, daß die Frequenz des Signals $x(k)$ um eine vorgebbare Frequenz geändert wird, wobei
- das Signal $x(k)$ durch einen ersten Vektor mit der ersten Inphasekomponente i_0 und der ersten Quadraturkomponente q_0 in der komplexen I/Q-Ebene dargestellt wird,
 - der erste Vektor mittels des CORDIC-Algorithmus um einen vorgegebenen Winkel $z(k)$ auf einen zweiten Vektor mit einer zweiten Inphasekomponente I_N und zweiten Quadraturkomponente Q_N abgebildet wird und der zweite Vektor das Signal mit einer geänderten Frequenz und Phase darstellt,
 - sich der vorgegebene Winkel $z(k)$ aus einer Vielzahl von N verschiedenen Drehwinkeln α_n zusammensetzt, wobei jeder der verschiedenen Drehwinkel α_n gemäß der Formel $\arctan(2^{-n})$, $n = 0, 1, \dots, N-1$ berechnet wird und jeweils mit einem Vorzeichen σ_n versehen wird, das die Drehrichtung angibt,
 - die Ein- und Ausgangsbitbreite des Cordic-Algorithmus wenigstens größer als $N+2$ ist,
- d a d u r c h g e k e n n z e i c h n e t , d a s s
- der vorgegebene Winkel $z(k)$ auf einen Bereich $-\pi/2$ bis $+\pi/2$ begrenzt wird.

2. Verfahren nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß der vorgegebene Winkel $z(k)$ Modulo- 2π als Registerwert $w(k)$ mit einer Bitbreite N_w gespeichert wird, wobei der Registerwert $w(k)$ in jedem Takt k des Abtasttaktes durch Addition eines dem vorgegebenen Winkel $z(k)$ zugeordneten Wertes $f T/m$ und des Registerwertes $w(k-1)$ des

vorhergehenden Taktes $k-1$ des Abtasttaktes berechnet wird und ein Überlauf des Registerwerts $w(k)$ vernachlässigt wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet,
5 zeichnet, daß die Begrenzung des vorgegebenen Winkels $z(k)$ auf einen Bereich von $-\pi/2$ bis $+\pi/2$ dadurch erreicht wird, in dem vor dem CORDIC-Algorithmus eine Quadrantenkorrektur durchgeführt wird, wobei die erste Inphasekomponente i_0 und die erste Quadraturkomponente q_0 jeweils mit $(-1)^s$, $s =$
10 0, 1, multipliziert wird.

4. Verfahren nach einem der Ansprüche 2 oder 3, dadurch gekennzeichnet, daß die Bitbreite N_w des Registerwerts $w(k)$ die folgende Bedingung erfüllt:

15
$$N_w \geq \log_2(m) - \log_2(\Delta f \cdot T),$$

wobei m der Überabtastfaktor des Signals $x(k)$, Δf die vorgebbare Frequenz und T die Symboldauer eines digitalen Wertes des Signals $x(k)$ darstellt.

20 5. Verfahren nach einem der Ansprüche 2 - 4, dadurch gekennzeichnet, daß die Anzahl N der Stufen des CORDIC-Algorithmus für ein vorgegebenes Signal-Phasenrauschen-Verhältnis SNR und eine Bitbreite N_w des Registerwertes $w(k)$ die folgende Bedingung erfüllt:

25
$$(\text{SNR} + 3)/6 \leq N \leq N_w - 2.$$

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß in jeder Stufe des CORDIC-Algorithmus zwei Guard-Bits vorgesehen sind, so daß
30 die Ein- und Ausgangsbitbreite des CORDIC-Algorithmus wenigstens größer als $N + 2$ ist.

7. Vorrichtung zur digitalen Frequenzkorrektur eines Signals, das mit einem Abtasttakt k abgetastet und digitalisiert $x(k)$ ist,

- wobei eine Reihenschaltung von N Mikrorotationsblöcken (11 - 13) vorgesehen ist, der das Signal i_0, q_0 zugeführt wird,
- jeder Mikrorotationsblock (11 - 13) jeweils ein Vorzeichen σ_n aus einer Vorzeichentabelle (14) zur Speicherung der Vorzeichen $\sigma_0, \sigma_1, \dots, \sigma_{N-1}$ zugeführt wird, wobei in jedem Mikrorotationsblock (11-13) Guard-Bits vorgesehen sind, so daß die Bitbreite jedes Mikrorotationsblockes wenigstens größer als $N+2$ ist,
- ein Register (31) vorgesehen ist, in dem ein Modulo- 2π -Wert eines vorgegebenen Winkels $z(k)$ gespeichert ist, und dessen Registerwert $w(k)$ der Vorzeichentabelle (14) als Adresse zugeführt wird,
- ein Addierer (18) und ein Verzögerungsglied (19) vorgesehen sind wobei der Addierer (18) einen vorgegebenen digitalen Frequenzwert $f \cdot T/m$ mit dem Ausgangswert des Verzögerungsglieds (19) addiert und das Ergebnis in dem Register (31) speichert und dem Verzögerungsglied (19) der Registerwert $w(k-1)$ des vorhergehenden Taktes $k-1$ zugeführt wird, und
- der Reihenschaltung der Mikrorotationsblöcke (11 - 13) ein Quadrantenkorrekturblock (10) vorgeschaltet ist, dem ein Eingangssignal s zugeführt wird, wobei der das Signal darstellende Vektor i_0, q_0 in den ersten oder vierten Quadranten der komplexen I/Q-Ebene durch den Quadrantenkorrekturblock (10) gedreht wird.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß jeder Mikrorotationsblock (11 - 13) zwei Schieberegister (20, 21) zum Schieben der Komponenten eines Eingangsvektors I_n, Q_n des Mikrorotationsblocks (11

- 13) um n Bits und zwei Akkumulatoren (22, 23) zum Addieren der Komponenten des Eingangsvektors I_n , Q_n mit den Ausgangswerten der Schieberegister (20, 21) aufweist, wobei die Ausgangswerte der Schieberegister (20, 21) mit dem jeweiligen Mikrorotationsblock (11 - 13) zugeordneten Vorzeichen σ_n versehen sind.

9. Vorrichtung nach einem der Ansprüche 7 oder 8, dadurch gekennzeichnet, daß die Vorzeichentabelle (14) einen Festwertspeicher (15) für 2^N ($N - 2$) Bits und ein XOR-Gatter (16) und einen Inverter (17) zur Erzeugung der Vorzeichen σ_0 , σ_1 für den ersten und zweiten Mikrorotationsblock (11, 12) und des Eingangssignals s für den Quadrantenkorrekturblock (10) aufweist.

10. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß das Eingangssignal s für den Quadrantenkorrekturblock (10) durch eine logische XOR-Verknüpfung der beiden niederwertigsten Bits w_0 , w_1 des Registerwerts $w(k)$ gebildet wird.

11. Vorrichtung nach einem der Ansprüche 9 oder 10, dadurch gekennzeichnet, daß das Vorzeichen σ_0 für den ersten Mikrorotationsblock (11) dem zweiten Bit w_1 des Registerwerts $w(k)$ entspricht.

12. Vorrichtung nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, daß das Vorzeichen σ_1 für den zweiten Mikrorotationsblock (12) dem invertierten dritten Bit w_2 des Registerwerts $w(k)$ entspricht.

13. Empfänger eines Mobilfunkgerätes, der ein Basisbandfilter mit mehreren Stufen (24 - 30) zur Filterung und Verarbei-

tung eines empfangenen Basisbandsignals $x(k)$ aufweist und wobei die Vorrichtung nach einem der Ansprüche 7 bis 12 vor der letzten Stufe (28) des Basisbandfilters zur Frequenzkorrektur des Basisbandsignals $x(k)$ vorgesehen ist.

5

14. Empfänger nach Anspruch 13, dadurch gekennzeichnet, daß vor der Vorrichtung nach einem der Ansprüche 7 bis 12 eine Offset-Kompensation (26) des Basisbandsignals $x(k)$ zur Entfernung von Gleichanteilen vorgesehen ist.

10

15. Empfänger nach einem der Ansprüche 13 oder 14, dadurch gekennzeichnet, daß der Empfänger in einem GSM- oder UMTS-Mobilfunkgerät eingesetzt ist.

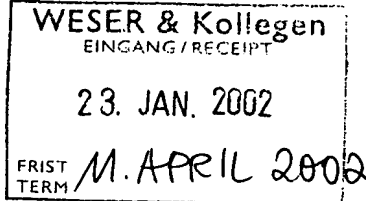
15

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

Absender: MIT DER INTERNATIONALEN VORLÄUFIGEN
PRÜFUNG BEAUFTRAGTE BEHÖRDE

An:

MEYER, Enno
WESER & KOLLEGEN
Radeckestr. 43
D-81245 München
ALLEMAGNE



PCT

MITTEILUNG ÜBER DIE ÜBERSENDUNG
DES INTERNATIONALEN VORLÄUFIGEN
PRÜFUNGSBERICHTS
(Regel 71.1 PCT)

Absendedatum
(Tag/Monat/Jahr) 22.01.2002

Aktenzeichen des Anmelders oder Anwalts
GR 99 P 5026-PCT

WICHTIGE MITTEILUNG

Internationales Aktenzeichen
PCT/DE00/03601

Internationales Anmeldedatum (Tag/Monat/Jahr)
11/10/2000

Prioritätsdatum (Tag/Monat/Jahr)
11/10/1999

Anmelder
INFINEON TECHNOLOGIES AG et al.

1. Dem Anmelder wird mitgeteilt, daß ihm die mit der internationalen vorläufigen Prüfung beauftragte Behörde hiermit den zu der internationalen Anmeldung erstellten internationalen vorläufigen Prüfungsbericht, gegebenenfalls mit den dazugehörigen Anlagen, übermittelt.
2. Eine Kopie des Berichts wird - gegebenenfalls mit den dazugehörigen Anlagen - dem Internationalen Büro zur Weiterleitung an alle ausgewählten Ämter übermittelt.
3. Auf Wunsch eines ausgewählten Amtes wird das Internationale Büro eine Übersetzung des Berichts (jedoch nicht der Anlagen) ins Englische anfertigen und diesem Amt übermitteln.

4. ERINNERUNG

Zum Eintritt in die nationale Phase hat der Anmelder vor jedem ausgewählten Amt innerhalb von 30 Monaten ab dem Prioritätsdatum (oder in manchen Ämtern noch später) bestimmte Handlungen (Einreichung von Übersetzungen und Entrichtung nationaler Gebühren) vorzunehmen (Artikel 39 (1)) (siehe auch die durch das Internationale Büro im Formblatt PCT/IB/301 übermittelte Information).

Ist einem ausgewählten Amt eine Übersetzung der internationalen Anmeldung zu übermitteln, so muß diese Übersetzung auch Übersetzungen aller Anlagen zum internationalen vorläufigen Prüfungsbericht enthalten. Es ist Aufgabe des Anmelders, solche Übersetzungen anzufertigen und den betroffenen ausgewählten Ämtern direkt zuzuleiten.

Weitere Einzelheiten zu den maßgebenden Fristen und Erfordernissen der ausgewählten Ämter sind Band II des PCT-Leitfadens für Anmelder zu entnehmen.

Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde

 Europäisches Patentamt
D-80298 München
Tel. +49 89 2399 - 0 Tx: 523656 epmu d
Fax: +49 89 2399 - 4465

Bevollmächtigter Bediensteter

Barrio Baranano, A

Tel. +49 89 2399-8621



VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

Aktenzeichen des Anmelders oder Anwalts GR 99 P 5026-PCT	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/DE00/03601	Internationales Anmeldedatum (Tag/Monat/Jahr) 11/10/2000	Prioritätsdatum (Tag/Monat/Tag) 11/10/1999
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H04L27/00		
Anmelder INFINEON TECHNOLOGIES AG et al.		



1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
2. Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 5 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

I ☒ Grundlage des Berichts
II ☐ Priorität
III ☒ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
IV ☐ Mangelnde Einheitlichkeit der Erfindung
V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
VI ☐ Bestimmte angeführte Unterlagen
VII ☐ Bestimmte Mängel der internationalen Anmeldung
VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 10/05/2001	Datum der Fertigstellung dieses Berichts 22.01.2002
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Pajatakis, E Tel. Nr. +49 89 2399 8898 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):
Beschreibung, Seiten:

1-13 ursprüngliche Fassung

Patentansprüche, Nr.:

1-15 eingegangen am 29/12/2001 mit Schreiben vom 28/12/2001

Zeichnungen, Blätter:

1/2,2/2 ursprüngliche Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE00/03601

- ☐ Beschreibung, Seiten:
☐ Ansprüche, Nr.:
☐ Zeichnungen, Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen).

6. Etwaige zusätzliche Bemerkungen:

III. Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit

1. Folgende Teile der Anmeldung wurden nicht daraufhin geprüft, ob die beanspruchte Erfindung als neu, auf erfinderischer Tätigkeit beruhend (nicht offensichtlich) und gewerblich anwendbar anzusehen ist:

- ☐ die gesamte internationale Anmeldung.
☒ Ansprüche Nr. 15.

Begründung:

- ☐ Die gesamte internationale Anmeldung, bzw. die obengenannten Ansprüche Nr. beziehen sich auf den nachstehenden Gegenstand, für den keine internationale vorläufige Prüfung durchgeführt werden braucht (*genaue Angaben*):
- ☒ Die Beschreibung, die Ansprüche oder die Zeichnungen (*machen Sie hierzu nachstehend genaue Angaben*) oder die obengenannten Ansprüche Nr. 15 sind so unklar, daß kein sinnvolles Gutachten erstellt werden konnte (*genaue Angaben*):
siehe Beiblatt
- ☐ Die Ansprüche bzw. die obengenannten Ansprüche Nr. sind so unzureichend durch die Beschreibung gestützt, daß kein sinnvolles Gutachten erstellt werden konnte.
- ☐ Für die obengenannten Ansprüche Nr. wurde kein internationaler Recherchenbericht erstellt.
2. Eine sinnvolle internationale vorläufige Prüfung kann nicht durchgeführt werden, weil das Protokoll der Nukleotid- und/oder Aminosäuresequenzen nicht dem in Anlage C der Verwaltungsvorschriften vorgeschriebenen Standard entspricht:
- ☐ Die schriftliche Form wurde nicht eingereicht bzw. entspricht nicht dem Standard.
- ☐ Die computerlesbare Form wurde nicht eingereicht bzw. entspricht nicht dem Standard.

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE00/03601

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	1-14
	Nein: Ansprüche	
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	
	Nein: Ansprüche	1-14
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-14
	Nein: Ansprüche	

2. Unterlagen und Erklärungen siehe Beiblatt

Zu Punkt III

Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit

1. Im Anspruch 15 wird versucht eine Anordnung durch ihre Verwendung zu definieren (vgl. auch Richtlinien III, 4.8a).

Zu Punkt V

Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Der Gegenstand des Anspruchs 1 ist nicht erfinderisch (Artikel 33(3)).
 - 1.1 Die Merkmale des Anspruchs 1, Zeilen 2-22, betreffen die Frequenzkorrektur mittels des wohlbekannten CORDIC-Algorithmus. Diese Merkmale sind aus **D1 = NAHM S ET AL: 'A CORDIC-BASED DIGITAL QUADRATURE MIXER: COMPARISON WITH A ROM-BASED ARCHITECTURE' ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, Bd. 4, 31. Mai 1998 (1998-05-31), Seiten 385-388, XP000873520 New York, USA ISBN: 0-7803-4456-1** (vgl. Seite 385, rechte Spalte, letzter Absatz, Seite 386, linke Spalte, erster Absatz, Figur 2).

Ferner offenbart **D1**, daß die Ein- und Ausgangsbitbreite **B_c** des CORDIC-Algorithmus größer als die Anzahl der Rotationen **n+2** ist (vgl. Seite 386, linke Spalte, dritter Absatz, Tabelle 1 (Werte unter **B_c** und **n**)). Dadurch werden Rundungsfehler vermieden.

- 1.2 Der Anspruch 1 unterscheidet sich von **D1** nur, daß der Drehwinkel im Bereich $-\pi/2$ bis $+\pi/2$ begrenzt wird. Dabei handelt es sich jedoch um eine offensichtliche Maßnahme um den Recheneinwand zu vermindern. Die Tatsache, daß die Bearbeitung des Zahlenbereichs 0-360° einen größeren Hardware- und Softwareeinwand verursacht gehört zum grundsätzlichen Wissen eines Fachmanns, der mit Rechenschaltungen vertraut ist.

2. Die obengenannte Feststellung gilt auch für den Anspruch 7, der dem Anspruch 1 entspricht. Die im Anspruch 7 zusätzlich erwähnten Guardbits zur Erweiterung der Bitbreite sind ebenso aus **D1** (vgl. Seite 386, linke Spalte, dritter Absatz) bekannt.
3. Die zusätzlichen Merkmale der abhängigen Ansprüche fügen den Ansprüchen 1 und 7 nichts erfinderisches hinzu, weil diese Merkmale entweder aus dem obengenannten Stand der Technik bekannt sind (Guardbits, Register als Rotationsblöcke) oder allgemein übliche Maßnahmen darstellen (Winkelbegrenzung durch Multiplikation).

Patentansprüche

1. Verfahren zur digitalen Frequenzkorrektur eines Signals $x(k)$, das mit einem Abtasttakt k abgetastet und digitalisiert wird, und das mittels eines CORDIC-Algorithmus mit N -Stufen derart verarbeitet wird, daß die Frequenz des Signals $x(k)$ um eine vorgebbare Frequenz geändert wird, wobei
- das Signal $x(k)$ durch einen ersten Vektor mit der ersten Inphasekomponente i_0 und der ersten Quadraturkomponente q_0 in der komplexen I/Q-Ebene dargestellt wird,
 - der erste Vektor mittels des CORDIC-Algorithmus um einen vorgegebenen Winkel $z(k)$ auf einen zweiten Vektor mit einer zweiten Inphasekomponente I_N und zweiten Quadraturkomponente Q_N abgebildet wird und der zweite Vektor das Signal mit einer geänderten Frequenz und Phase darstellt,
 - sich der vorgegebene Winkel $z(k)$ aus einer Vielzahl von N verschiedenen Drehwinkeln α_n zusammensetzt, wobei jeder der verschiedenen Drehwinkel α_n gemäß der Formel $\arctan(2^{-n})$, $n = 0, 1, \dots, N-1$ berechnet wird und jeweils mit einem Vorzeichen σ_n versehen wird, das die Drehrichtung angibt,
 - die Ein- und Ausgangsbitbreite des Cordic-Algorithmus wenigstens größer als $N+2$ ist,
- d a d u r c h g e k e n n z e i c h n e t , d a s s
- der vorgegebene Winkel $z(k)$ auf einen Bereich $-\pi/2$ bis $+\pi/2$ begrenzt wird.
2. Verfahren nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß der vorgegebene Winkel $z(k)$ Modulo- 2π als Registerwert $w(k)$ mit einer Bitbreite N_w gespeichert wird, wobei der Registerwert $w(k)$ in jedem Takt k des Abtasttaktes durch Addition eines dem vorgegebenen Winkel $z(k)$ zugeordneten Wertes $f T/m$ und des Registerwertes $w(k-1)$ des

vorhergehenden Taktes $k-1$ des Abtasttaktes berechnet wird und ein Überlauf des Registerwerts $w(k)$ vernachlässigt wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet,
5 zeichnet, daß die Begrenzung des vorgegebenen Winkels $z(k)$ auf einen Bereich von $-\pi/2$ bis $+\pi/2$ dadurch erreicht wird, in dem vor dem CORDIC-Algorithmus eine Quadrantenkorrektur durchgeführt wird, wobei die erste Inphasekomponente i_0 und die erste Quadraturkomponente q_0 jeweils mit $(-1)^s$, $s =$
10 0, 1, multipliziert wird.

4. Verfahren nach einem der Ansprüche 2 oder 3, dadurch gekennzeichnet, daß die Bitbreite N_w des Registerwerts $w(k)$ die folgende Bedingung erfüllt:
15 $N_w \geq \log_2(m) - \log_2(\Delta f \cdot T),$

wobei m der Überabtastfaktor des Signals $x(k)$, Δf die vorgebbare Frequenz und T die Symboldauer eines digitalen Wertes des Signals $x(k)$ darstellt.

20 5. Verfahren nach einem der Ansprüche 2 - 4, dadurch gekennzeichnet, daß die Anzahl N der Stufen des CORDIC-Algorithmus für ein vorgegebenes Signal-Phasenrauschen-Verhältnis SNR und eine Bitbreite N_w des Registerwertes $w(k)$ die folgende Bedingung erfüllt:
25 $(SNR + 3)/6 \leq N \leq N_w - 2.$

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß in jeder Stufe des CORDIC-Algorithmus zwei Guard-Bits vorgesehen sind, so daß
30 die Ein- und Ausgangsbitbreite des CORDIC-Algorithmus wenigstens größer als $N + 2$ ist.

7. Vorrichtung zur digitalen Frequenzkorrektur eines Signals, das mit einem Abtasttakt k abgetastet und digitalisiert $x(k)$ ist,

- wobei eine Reihenschaltung von N Mikrorotationsblöcken (11 - 13) vorgesehen ist, der das Signal i_0, q_0 zugeführt wird,
- jeder Mikrorotationsblock (11 - 13) jeweils ein Vorzeichen σ_n aus einer Vorzeichentabelle (14) zur Speicherung der Vorzeichen $\sigma_0, \sigma_1, \dots, \sigma_{N-1}$ zugeführt wird, wobei in jedem Mikrorotationsblock (11-13) Guard-Bits vorgesehen sind, so daß die Bitbreite jedes Mikrorotationsblockes wenigstens größer als $N+2$ ist,
- ein Register (31) vorgesehen ist, in dem ein Modulo- 2π -Wert eines vorgegebenen Winkels $z(k)$ gespeichert ist, und dessen Registerwert $w(k)$ der Vorzeichentabelle (14) als Adresse zugeführt wird,
- ein Addierer (18) und ein Verzögerungsglied (19) vorgesehen sind wobei der Addierer (18) einen vorgegebenen digitalen Frequenzwert $f \cdot T/m$ mit dem Ausgangswert des Verzögerungsglieds (19) addiert und das Ergebnis in dem Register (31) speichert und dem Verzögerungsglied (19) der Registerwert $w(k-1)$ des vorhergehenden Taktes $k-1$ zugeführt wird, und
- der Reihenschaltung der Mikrorotationsblöcke (11 - 13) ein Quadrantenkorrekturblock (10) vorgeschaltet ist, dem ein Eingangssignal s zugeführt wird, wobei der das Signal darstellende Vektor i_0, q_0 in den ersten oder vierten Quadranten der komplexen I/Q-Ebene durch den Quadrantenkorrekturblock (10) gedreht wird.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß jeder Mikrorotationsblock (11 - 13) zwei Schieberegister (20, 21) zum Schieben der Komponenten eines Eingangsvektors I_n, Q_n des Mikrorotationsblocks (11

- 13) um n Bits und zwei Akkumulatoren (22, 23) zum Addieren der Komponenten des Eingangsvektors I_n , Q_n mit den Ausgangswerten der Schieberegister (20, 21) aufweist, wobei die Ausgangswerte der Schieberegister (20, 21) mit dem jeweiligen Mikrorotationsblock (11 - 13) zugeordneten Vorzeichen σ_n versehen sind.

9. Vorrichtung nach einem der Ansprüche 7 oder 8, dadurch gekennzeichnet, daß die Vorzeichentabelle (14) einen Festwertspeicher (15) für 2^N ($N - 2$) Bits und ein XOR-Gatter (16) und einen Inverter (17) zur Erzeugung der Vorzeichen σ_0 , σ_1 für den ersten und zweiten Mikrorotationsblock (11, 12) und des Eingangssignals s für den Quadrantenkorrekturblock (10) aufweist.

15

10. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß das Eingangssignal s für den Quadrantenkorrekturblock (10) durch eine logische XOR-Verknüpfung der beiden niederwertigsten Bits w_0 , w_1 des Registerwerts $w(k)$ gebildet wird.

20

11. Vorrichtung nach einem der Ansprüche 9 oder 10, dadurch gekennzeichnet, daß das Vorzeichen σ_0 für den ersten Mikrorotationsblock (11) dem zweiten Bit w_1 des Registerwerts $w(k)$ entspricht.

25

12. Vorrichtung nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, daß das Vorzeichen σ_1 für den zweiten Mikrorotationsblock (12) dem invertierten dritten Bit w_2 des Registerwerts $w(k)$ entspricht.

30

13. Empfänger eines Mobilfunkgerätes, der ein Basisbandfilter mit mehreren Stufen (24 - 30) zur Filterung und Verarbei-

tung eines empfangenen Basisbandsignals $x(k)$ aufweist und wobei die Vorrichtung nach einem der Ansprüche 7 bis 12 vor der letzten Stufe (28) des Basisbandfilters zur Frequenzkorrektur des Basisbandsignals $x(k)$ vorgesehen ist.


5

14. Empfänger nach Anspruch 13, dadurch gekennzeichnet, daß vor der Vorrichtung nach einem der Ansprüche 7 bis 12 eine Offset-Kompensation (26) des Basisbandsignals $x(k)$ zur Entfernung von Gleichanteilen

10 vorgesehen ist.

15. Empfänger nach einem der Ansprüche 13 oder 14, dadurch gekennzeichnet, daß der Empfänger in einem GSM- oder UMTS-Mobilfunkgerät eingesetzt ist.

15

EPA:  / Hachenbueche

Der Antrag ist bei der zuständigen mit der internationalen vorläufigen Prüfung beauftragten Behörde oder, wenn zwei oder mehr Behörden zuständig sind, bei der vom Anmelder gewählten Behörde einzureichen. Der Anmelder kann den Namen oder den Zweibuchstaben-Code der Behörde auf der nachstehenden Zeile angeben.

IPEA/ EP

PCT

KAPITEL II

ANTRAG AUF INTERNATIONALE VORLÄUFIGE PRÜFUNG

nach Artikel 31 des Vertrags über die internationale Zusammenarbeit auf dem Gebiet des Patentwesens:
Der (die) Unterzeichnete(n) beantragt (beantragen), daß für die nachstehend bezeichnete internationale Anmeldung die internationale vorläufige Prüfung nach dem Vertrag über die internationale Zusammenarbeit auf dem Gebiet des Patentwesens durchgeführt wird und benennt hiermit als ausgewählte Staaten
alle auswählbaren Staaten (soweit nichts anderes angegeben).

Von der mit der internationalen vorläufigen Prüfung beauftragten Behörde auszufüllen

Bezeichnung der IPEA	Eingangsdatum des ANTRAGS
----------------------	---------------------------

10./05.01 Wd

Feld Nr. I KENNZEICHNUNG DER INTERNATIONALEN ANMELDUNG		Aktenzeichen des Anmelders oder Anwalts GR 99 P 5026-PCT
Internationales Aktenzeichen PCT/DE00/03601	Internationales Anmeldedatum (Tag/Monat/Jahr) 11/10/2000	(Frühester) Prioritätstag (Tag/Monat/Jahr) 11/10/1999
Bezeichnung der Erfindung Verfahren und Schaltungsanordnung zur digitalen Frequenzkorrektur eines Signals		
Feld Nr. II ANMELDER		
Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben.) INFINEON Technologies AG St.-Martin-Str. 53 D-81541 München		Telefonnr.: Telefaxnr.: Fernschreibnr.:
Staatsangehörigkeit (Staat): DE	Sitz oder Wohnsitz (Staat): DE	
Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben.) Dr. Bin Yang Karl-Marx-Ring 39 D-81735 München		
Staatsangehörigkeit (Staat): CN	Sitz oder Wohnsitz (Staat): DE	
Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben.) Steffen Buch Balanstr. 84 D-80541 München		
Staatsangehörigkeit (Staat): DE	Sitz oder Wohnsitz (Staat): DE	
<input type="checkbox"/> Weitere Anmelder sind auf einem Fortsetzungsblatt angegeben.		

Feld Nr. III ANWALT ODER GEMEINSAMER VERTRETER; ODER ZUSTELLANSCHRIFT

Die folgende Person ist ☒ Anwalt ☐ gemeinsamer Vertreter

und ☒ ist vom (von den) Anmelder(n) bereits früher bestellt worden und vertritt ihn (sie) auch für die internationale vorläufige Prüfung.

☐ wird hiermit bestellt; eine etwaige frühere Bestellung eines Anwalts/gemeinsamen Vertreters wird hiermit widerrufen.

☐ wird hiermit zusätzlich zu dem bereits früher bestellten Anwalt/gemeinsamen Vertreter, nur für das Verfahren vor der mit der internationalen vorläufigen Prüfung beauftragten Behörde bestellt.

Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben.)

Dr. Enno Meyer
WESER & Kollegen
Radeckestr. 43
81245 München

Telefonnr.:

089/831083

Telefaxnr.:

089/8212449

Fernschreibnr.:

☐ **Zustellanschrift:** Dieses Kästchen ist anzukreuzen, wenn kein Anwalt oder gemeinsamer Vertreter bestellt ist und statt dessen im obigen Feld eine spezielle Zustellanschrift angegeben wird.

Feld Nr. IV GRUNDLAGE DER INTERNATIONALEN VORLÄUFIGEN PRÜFUNG
Erklärung betreffend Änderungen:*

- Der Anmelder wünscht, daß die internationale vorläufige Prüfung auf der Grundlage
 - ☐ der internationalen Anmeldung in der ursprünglich eingereichten Fassung
 - der Beschreibung ☒ in der ursprünglich eingereichten Fassung
 - ☐ unter Berücksichtigung der Änderungen nach Artikel 34
 - der Patentansprüche ☐ in der ursprünglich eingereichten Fassung
 - ☐ unter Berücksichtigung der Änderungen nach Artikel 19 (ggf. zusammen mit Begleitschreiben)
 - ☒ unter Berücksichtigung der Änderungen nach Artikel 34
 - der Zeichnungen ☒ in der ursprünglich eingereichten Fassung
 - ☐ unter Berücksichtigung der Änderungen nach Artikel 34
 aufgenommen wird.
 - ☐ Der Anmelder wünscht, daß jegliche nach Artikel 19 eingereichte Änderung der Ansprüche als überholt angesehen wird.
 - ☐ Der Anmelder wünscht, daß der Beginn der internationalen vorläufigen Prüfung bis zum Ablauf von 20 Monaten ab dem Prioritätsdatum aufgeschoben wird, sofern die mit der internationalen vorläufigen Prüfung beauftragte Behörde nicht eine Kopie nach Artikel 19 vorgenommener Änderungen oder eine Erklärung des Anmelders erhält, daß er keine solchen Änderungen vornehmen will (Regel 69.1 Absatz d). (Dieses Kästchen darf nur angekreuzt werden, wenn die Frist nach Artikel 19 noch nicht abgelaufen ist.)
- * Wenn kein Kästchen angekreuzt wird, wird mit der internationalen vorläufigen Prüfung auf der Grundlage der internationalen Anmeldung in der ursprünglich eingereichten Fassung begonnen; wenn eine Kopie der Änderungen der Ansprüche nach Artikel 19 und/oder Änderungen der internationalen Anmeldung nach Artikel 34 bei der mit der internationalen vorläufigen Prüfung beauftragten Behörde eingeht, bevor diese mit der Erstellung eines schriftlichen Bescheids oder des internationalen vorläufigen Prüfungsberichts begonnen hat, wird jedoch die geänderte Fassung verwendet.

Sprache für die Zwecke der internationalen vorläufigen Prüfung: DE

- ☒ dies ist die Sprache, in der die internationale Anmeldung eingereicht wurde.
- ☐ dies ist die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht wurde.
- ☒ dies ist die Sprache der Veröffentlichung der internationalen Anmeldung.
- ☐ dies ist die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht wurde/wird.

Feld Nr. V BENENNUNG VON STAATEN ALS AUSGEWÄHLTE STAATEN

Der Anmelder benennt hiermit als ausgewählte Staaten alle auswählbaren Staaten (das heißt, alle Staaten, die bestimmt wurden und durch Kapitel II gebunden sind)

mit Ausnahme der folgenden Staaten, die der Anmelder nicht benennen möchte:

Feld Nr. VI KONTROLLISTE

Dem Antrag liegen folgende Unterlagen für die Zwecke der internationalen vorläufigen Prüfung in der in Feld Nr. IV angegebenen Sprache bei:

Von der mit der internationalen vorläufigen Prüfung beauftragten Behörde auszufüllen

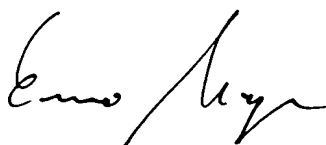
			erhalten	nicht erhalten
1. Übersetzung der internationalen Anmeldung	:	Blätter	<input type="checkbox"/>	<input type="checkbox"/>
2. Änderungen nach Artikel 34	:	5 (3-fach) Blätter	<input type="checkbox"/>	<input type="checkbox"/>
3. Kopie (oder, falls erforderlich, Übersetzung) der Änderungen nach Artikel 19	:	Blätter	<input type="checkbox"/>	<input type="checkbox"/>
4. Kopie (oder, falls erforderlich, Übersetzung) einer Erklärung nach Artikel 19	:	Blätter	<input type="checkbox"/>	<input type="checkbox"/>
5. Begleitschreiben	:	2 Blätter	<input type="checkbox"/>	<input type="checkbox"/>
6. Sonstige (einzeln aufführen)	:	Blätter	<input type="checkbox"/>	<input type="checkbox"/>

Dem Antrag liegen außerdem die nachstehend angekreuzten Unterlagen bei:

- | | |
|--|---|
| 1. <input checked="" type="checkbox"/> Blatt für die Gebührenberechnung | 4. <input type="checkbox"/> Begründung für das Fehlen einer Unterschrift |
| 2. <input type="checkbox"/> unterzeichnete gesonderte Vollmacht | 5. <input type="checkbox"/> Nucleotid- und/oder Aminosäuresequenzprotokoll in computerlesbarer Form |
| 3. <input type="checkbox"/> Kopie der allgemeinen Vollmacht; Aktenzeichen (falls vorhanden): | 6. <input checked="" type="checkbox"/> sonstige (einzeln aufführen): Scheck |

Feld Nr. VII UNTERSCHRIFT DES ANMELDERS, ANWALTS ODER GEMEINSAMEN VERTRETERS

Der Name jeder unterzeichnenden Person ist neben der Unterschrift zu wiederholen, und es ist anzugeben, sofern sich dies nicht aus dem Antrag ergibt, in welcher Eigenschaft die Person unterzeichnet.



Dr. E. Meyer, Patentanwalt, 10/05/01

Von der mit der internationalen vorläufigen Prüfung beauftragten Behörde auszufüllen

- Datum des tatsächlichen Eingangs des ANTRAGS:
- Geändertes Eingangsdatum des Antrags aufgrund von BERICHTIGUNGEN nach Regel 60.1 Absatz b:
- ☐ Eingangsdatum des Antrags NACH Ablauf von 19 Monaten ab Prioritätsdatum; Punkt 4 und Punkt 5, unten, finden keine Anwendung.
 ☐ Der Anmelder wurde entsprechend unterrichtet
- ☐ Eingangsdatum des Antrags INNERHALB 19 Monate ab Prioritätsdatum wegen Fristverlängerung nach Regel 80.5.
- ☐ Das Eingangsdatum des Antrags liegt nach Ablauf von 19 Monaten ab Prioritätsdatum, der verspätete Eingang ist aber nach Regel 82 ENTSCHULDIGT.

Vom Internationalen Büro auszufüllen

Antrag vom IPEA erhalten am:

PCT

BLATT FÜR DIE GEBÜHRENBERECHNUNG

Anhang zum Antrag auf internationale vorläufige Prüfung

Von der mit der internationalen vorläufigen Prüfung
beauftragten Behörde auszufüllen

Internationales Aktenzeichen	PCT/DE00/03601	Eingangsstempel der IPEA	
Aktenzeichen des Anmelders oder Anwalts	GR 99 P 5026-PCT		
Anmelder Infineon AG			
Berechnung der vorgeschriebenen Gebühren			
1. Gebühr für die vorläufige Prüfung	2.998,29		P
2. Bearbeitungsgebühr (<i>Anmelder aus einigen Staaten haben Anspruch auf eine Ermäßigung der Bearbeitungsgebühr um 75%. Hat der Anmelder (oder haben alle Anmelder) einen solchen Anspruch, so beträgt der in Feld H einzutragende Betrag 25 % der Bearbeitungsgebühr.</i>)	287,51		H
3. Gesamtbetrag der vorgeschriebenen Gebühren Addieren Sie die Beträge in den Feldern P und H und tragen Sie die Summe in das nebenstehende Feld ein	3.285,80		
<div style="border: 1px solid black; padding: 2px; text-align: center;">INSGESAMT</div>			
Zahlungsart			
<input type="checkbox"/> Abbuchungsauftrag für das laufende Konto bei der IPEA (siehe unten)	<input type="checkbox"/> Barzahlung		
<input checked="" type="checkbox"/> Scheck	<input type="checkbox"/> Gebührenmarken		
<input type="checkbox"/> Postanweisung	<input type="checkbox"/> Kupons		
<input type="checkbox"/> Bankwechsel	<input type="checkbox"/> Sonstige (einzeln angeben):		
Abbuchungsauftrag (<i>diese Zahlungsweise gibt es nicht bei allen Behörden</i>)			
Die IPEA/ _____ <input type="checkbox"/> wird beauftragt, den vorstehend angegebenen Gesamtbetrag der Gebühren von meinem laufenden Konto abzubuchen.			
<input type="checkbox"/> (<i>dieses Kästchen darf nur angekreuzt werden, wenn die Vorschriften der IPEA über laufende Konten dieses Verfahren erlauben</i>) wird beauftragt, Fehlbeträge oder Überzahlungen des vorstehend angegebenen Gesamtbetrags der Gebühren meinem laufenden Konto zu belasten bzw. gutzuschreiben.			
Kontonummer	Datum (Tag/Monat/Jahr)	Unterschrift	

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT
AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts GR 99 P 5026-PCT	WEITERES VORGEHEN siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen PCT/DE 00/ 03601	Internationales Anmeldedatum (Tag/Monat/Jahr) 11/10/2000	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) 11/10/1999
Anmelder INFINEON TECHNOLOGIES AG et al.		

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 3 Blätter.

☒ Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

a. Hinsichtlich der **Sprache** ist die internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.

☐ Die internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

b. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das

☐ in der internationalen Anmeldung in Schriftlicher Form enthalten ist.

☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.

☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.

☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.

☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

☐ Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der **Bezeichnung der Erfindung**

☐ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☒ wurde der Wortlaut von der Behörde wie folgt festgesetzt:

FREQUENZKORREKTUR UNTER VERWENDUNG DES CORDIC-ALGORITHMUS

5. Hinsichtlich der **Zusammenfassung**

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der **Zeichnungen** ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 1

☒ wie vom Anmelder vorgeschlagen

☐ keine der Abb.

☐ weil der Anmelder selbst keine Abbildung vorgeschlagen hat.

☐ weil diese Abbildung die Erfindung besser kennzeichnet.

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H04L27/22

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H04L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

WPI Data, EPO-Internal, PAJ, INSPEC, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 486 095 A (PHILIPS NV) 20. Mai 1992 (1992-05-20) Seite 2, Zeile 51 - Zeile 54 Seite 6, Zeile 34 - Zeile 41 Seite 7, Zeile 40 - Seite 8, Zeile 11 Abbildung 2	1-17
X	US 5 748 682 A (MOBIN MOHAMMAD SHAFIUL) 5. Mai 1998 (1998-05-05) Spalte 13, Zeile 17 - Zeile 26 Abbildung 8	1-17
X	US 5 550 869 A (GOLDENBERG YOAV ET AL) 27. August 1996 (1996-08-27) Spalte 7, Zeile 47 - Zeile 67	1-17
	--- -/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

I Neuere Veröffentlichung, die nach dem internationalen Anmeldedatum aber dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindungsmäßiger Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindungsmäßiger Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. April 2001

Absendedatum des internationalen Recherchenberichts

25/04/2001

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Orozco Roura, C

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	✓ NAHM S ET AL: "A CORDIC-BASED DIGITAL QUADRATURE MIXER: COMPARISON WITH A ROM-BASED ARCHITECTURE" ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, Bd. 4, 31. Mai 1998 (1998-05-31), Seiten 385-388, XP000873520 New York, USA ISBN: 0-7803-4456-1 Seite 386, linke Spalte -----	1-17
A	EP 0 481 543 A (PHILIPS NV) 22. April 1992 (1992-04-22) Spalte 2, Zeile 10 -Spalte 3, Zeile 24 -----	1-17

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/03601

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
✓ EP 0486095 A	20-05-1992	NL 9002489 A AT 148963 T DE 69124663 D DE 69124663 T ES 2100203 T FI 915331 A JP 6037664 A KR 209386 B US 5230011 A	01-06-1992 15-02-1997 27-03-1997 31-07-1997 16-06-1997 16-05-1992 10-02-1994 15-07-1999 20-07-1993
✓ US 5748682 A	05-05-1998	KEINE	
✓ US 5550869 A	27-08-1996	AT 183869 T AU 716743 B AU 4933297 A AU 682336 B AU 5961594 A BR 9305988 A CA 2130269 A CN 1092231 A CZ 9401975 A CZ 9702794 A CZ 9702795 A CZ 9702796 A DE 69326140 D DE 69326140 T EP 0628229 A EP 0848523 A HU 68003 A JP 7508389 T NO 943189 A NZ 261042 A PL 305556 A PL 175825 B RU 2128399 C WO 9416505 A	15-09-1999 02-03-2000 05-03-1998 02-10-1997 15-08-1994 21-10-1997 21-07-1994 14-09-1994 15-02-1995 14-10-1998 14-10-1998 14-10-1998 30-09-1999 20-04-2000 14-12-1994 17-06-1998 29-05-1995 14-09-1995 28-10-1994 26-07-1996 23-01-1995 26-02-1999 27-03-1999 21-07-1994
✓ EP 0481543 A	22-04-1992	GB 2248532 A JP 4290004 A	08-04-1992 14-10-1992

PCT

ANTRAG

Der Unterzeichnete beantragt, daß die vorliegende internationale Anmeldung nach dem Vertrag über die internationale Zusammenarbeit auf dem Gebiet des Patentwesens behandelt wird.

11.10.00 Meyer

Vom Anmeldeamt auszufüllen

Internationales Aktenzeichen

Internationales Anmeldedatum

Name des Anmeldeamts und "PCT International Application"

Aktenzeichen des Anmelders oder Anwalts (falls gewünscht)
(max. 12 Zeichen) GR 99 P 5026-PCT

Feld Nr. I BEZEICHNUNG DER ERFINDUNG
Verfahren und Schaltungsanordnung zur digitalen Frequenzkorrektur eines Signals

Feld Nr. II ANMELDER

Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben. Der in diesem Feld in der Anschrift angegebene Staat ist der Staat des Sitzes oder Wohnsitzes des Anmelders, sofern nachstehend kein Staat des Sitzes oder Wohnsitzes angegeben ist.)

Infineon Technologies AG
St.-Martin-Straße 53
D-81669 München
Bundesrepublik Deutschland

☐ Diese Person ist gleichzeitig Erfinder

Telefonnr.:

Telefaxnr.:

Fernschreibnr.:

Staatsangehörigkeit (Staat):

DE

Sitz oder Wohnsitz (Staat):

DE

Diese Person ist Anmelder für folgende Staaten:

☐ alle Bestimmungsstaaten

☒ alle Bestimmungsstaaten mit Ausnahme der Vereinigten Staaten von Amerika

☐ nur die Vereinigten Staaten von Amerika

☐ die im Zusatzfeld angegebenen Staaten

Feld Nr. III WEITERE ANMELDER UND/ODER (WEITERE) ERFINDER

Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben. Der in diesem Feld in der Anschrift angegebene Staat ist der Staat des Sitzes oder Wohnsitzes des Anmelders, sofern nachstehend kein Staat des Sitzes oder Wohnsitzes angegeben ist.)

Dr. Bin Yang
Karl-Marx-Ring 39
D-81735 München

Diese Person ist:

☐ nur Anmelder

☒ Anmelder und Erfinder

☐ nur Erfinder (Wird dieses Kästchen angekreuzt, so sind die nachstehenden Angaben nicht nötig.)

Staatsangehörigkeit (Staat):

CN

Sitz oder Wohnsitz (Staat):

DE

Diese Person ist Anmelder für folgende Staaten:

☐ alle Bestimmungsstaaten

☐ alle Bestimmungsstaaten mit Ausnahme der Vereinigten Staaten von Amerika

☒ nur die Vereinigten Staaten von Amerika

☐ die im Zusatzfeld angegebenen Staaten

☒ Weitere Anmelder und/oder (weitere) Erfinder sind auf einem Fortsetzungsblatt angegeben.

Feld Nr. IV ANWALT ODER GEMEINSAMER VERTRETER; ODER ZUSTELLANSCHRIFT

Die folgende Person wird hiermit bestellt/vist bestellt worden, um für den (die) Anmelder vor den zuständigen internationalen Behörden in folgender Eigenschaft zu handeln als:

☒ Anwalt

☐ gemeinsamer Vertreter

Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben.)

Dr. Enno Meyer
Weser & Kollegen
Radeckestraße 43
D-81245 München

Telefonnr.:

089/83 10 83

Telefaxnr.:

089/8 21 24 49

Fernschreibnr.:

☐ Zustellanschrift: Dieses Kästchen ist anzukreuzen, wenn kein Anwalt oder gemeinsamer Vertreter bestellt ist und statt dessen im obigen Feld eine spezielle Zustellanschrift angegeben ist.

Fortsetzung von Feld Nr. III WEITERE ANMELDER UND/ODER (WEITERE) ERFINDER

Wird keines der folgenden Felder benutzt, so sollte dieses Blatt dem Antrag nicht beigelegt werden.

Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben. Der in diesem Feld in der Anschrift angegebene Staat ist der Staat des Sitzes oder Wohnsitzes des Anmelders, sofern nachstehend kein Staat des Sitzes oder Wohnsitzes angegeben ist.)

Steffen Buch
Balanstraße 84
D-80541 München

Diese Person ist:

☐ nur Anmelder

☒ Anmelder und Erfinder

☐ nur Erfinder (Wird dieses Kästchen angekreuzt, so sind die nachstehenden Angaben nicht nötig.)

Staatsangehörigkeit (Staat):

DE

Sitz oder Wohnsitz (Staat):

DE

Diese Person ist Anmelder für folgende Staaten:

☐

alle Bestimmungsstaaten

☐

alle Bestimmungsstaaten mit Ausnahme der Vereinigten Staaten von Amerika

☒

nur die Vereinigten Staaten von Amerika

☐

die im Zusatzfeld angegebenen Staaten

Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben. Der in diesem Feld in der Anschrift angegebene Staat ist der Staat des Sitzes oder Wohnsitzes des Anmelders, sofern nachstehend kein Staat des Sitzes oder Wohnsitzes angegeben ist.)

Diese Person ist:

☐ nur Anmelder

☐ Anmelder und Erfinder

☐ nur Erfinder (Wird dieses Kästchen angekreuzt, so sind die nachstehenden Angaben nicht nötig.)

Staatsangehörigkeit (Staat):

Sitz oder Wohnsitz (Staat):

Diese Person ist Anmelder für folgende Staaten:

☐

alle Bestimmungsstaaten

☐

alle Bestimmungsstaaten mit Ausnahme der Vereinigten Staaten von Amerika

☐

nur die Vereinigten Staaten von Amerika

☐

die im Zusatzfeld angegebenen Staaten

Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben. Der in diesem Feld in der Anschrift angegebene Staat ist der Staat des Sitzes oder Wohnsitzes des Anmelders, sofern nachstehend kein Staat des Sitzes oder Wohnsitzes angegeben ist.)

Diese Person ist:

☐ nur Anmelder

☐ Anmelder und Erfinder

☐ nur Erfinder (Wird dieses Kästchen angekreuzt, so sind die nachstehenden Angaben nicht nötig.)

Staatsangehörigkeit (Staat):

Sitz oder Wohnsitz (Staat):

Diese Person ist Anmelder für folgende Staaten:

☐

alle Bestimmungsstaaten

☐

alle Bestimmungsstaaten mit Ausnahme der Vereinigten Staaten von Amerika

☐

nur die Vereinigten Staaten von Amerika

☐

die im Zusatzfeld angegebenen Staaten

Name und Anschrift: (Familienname, Vorname; bei juristischen Personen vollständige amtliche Bezeichnung. Bei der Anschrift sind die Postleitzahl und der Name des Staats anzugeben. Der in diesem Feld in der Anschrift angegebene Staat ist der Staat des Sitzes oder Wohnsitzes des Anmelders, sofern nachstehend kein Staat des Sitzes oder Wohnsitzes angegeben ist.)

Diese Person ist:

☐ nur Anmelder

☐ Anmelder und Erfinder

☐ nur Erfinder (Wird dieses Kästchen angekreuzt, so sind die nachstehenden Angaben nicht nötig.)

Staatsangehörigkeit (Staat):

Sitz oder Wohnsitz (Staat):

Diese Person ist Anmelder für folgende Staaten:

☐

alle Bestimmungsstaaten

☐

alle Bestimmungsstaaten mit Ausnahme der Vereinigten Staaten von Amerika

☐

nur die Vereinigten Staaten von Amerika

☐

die im Zusatzfeld angegebenen Staaten

☐ Weitere Anmelder und/oder (weitere) Erfinder sind auf einem zusätzlichen Fortsetzungsblatt angegeben.

Feld Nr. V BESTIMMUNG VON STAATEN

Die folgenden Bestimmungen nach Regel 4.9 Absatz a werden hiermit vorgenommen (bitte die entsprechenden Kästchen ankreuzen; wenigstens ein Kästchen muß angekreuzt werden):

Regionales Patent

- ☐ **AP** ARIPO-Patent: GH Ghana, GM Gambia, KE Kenia, LS Lesotho, MW Malawi, SD Sudan, SL Sierra Leone, SZ Swasiland, TZ Vereinigte Republik Tansania, UG Uganda, ZW Simbabwe und jeder weitere Staat, der Vertragsstaat des Harare-Protokolls und des PCT ist
- ☐ **EA** Eurasisches Patent: AM Armenien, AZ Aserbaidshan, BY Belarus, KG Kirgisistan, KZ Kasachstan, MD Republik Moldau, RU Russische Föderation, TJ Tadschikistan, TM Turkmenistan und jeder weitere Staat, der Vertragsstaat des Eurasischen Patentübereinkommens und des PCT ist
- ☒ **EP** Europäisches Patent: AT Österreich, BE Belgien, CH und LI Schweiz und Liechtenstein, CY Zypern, DE Deutschland, DK Dänemark, ES Spanien, FI Finnland, FR Frankreich, GB Vereinigtes Königreich, GR Griechenland, IE Irland, IT Italien, LU Luxemburg, MC Monaco, NL Niederlande, PT Portugal, SE Schweden und jeder weitere Staat, der Vertragsstaat des Europäischen Patentübereinkommens und des PCT ist
- ☐ **OA** OAPI-Patent: BF Burkina Faso, BJ Benin, CF Zentralafrikanische Republik, CG Kongo, CI Côte d'Ivoire, CM Kamerun, GA Gabun, GN Guinea, GW Guinea-Bissau, ML Mali, MR Mauretanien, NE Niger, SN Senegal, TD Tschad, TG Togo und jeder weitere Staat, der Vertragsstaat der OAPI und des PCT ist (falls eine andere Schutzrechtsart oder ein sonstiges Verfahren gewünscht wird, bitte auf der gepunkteten Linie angeben)

Nationales Patent (falls eine andere Schutzrechtsart oder ein sonstiges Verfahren gewünscht wird, bitte auf der gepunkteten Linie angeben):

- | | |
|--|--|
| <input type="checkbox"/> AE Vereinigte Arabische Emirate | <input type="checkbox"/> LR Liberia |
| <input type="checkbox"/> AL Albanien | <input type="checkbox"/> LS Lesotho |
| <input type="checkbox"/> AM Armenien | <input type="checkbox"/> LT Litauen |
| <input type="checkbox"/> AT Österreich | <input type="checkbox"/> LU Luxemburg |
| <input type="checkbox"/> AU Australien | <input type="checkbox"/> LV Lettland |
| <input type="checkbox"/> AZ Aserbaidshan | <input type="checkbox"/> MA Marokko |
| <input type="checkbox"/> BA Bosnien-Herzegowina | <input type="checkbox"/> MD Republik Moldau |
| <input type="checkbox"/> BB Barbados | <input type="checkbox"/> MG Madagaskar |
| <input type="checkbox"/> BG Bulgarien | <input type="checkbox"/> MK Die ehemalige jugoslawische Republik Mazedonien |
| <input type="checkbox"/> BR Brasilien | <input type="checkbox"/> MN Mongolei |
| <input type="checkbox"/> BY Belarus | <input type="checkbox"/> MW Malawi |
| <input type="checkbox"/> CA Kanada | <input type="checkbox"/> MX Mexiko |
| <input type="checkbox"/> CH und LI Schweiz und Liechtenstein | <input type="checkbox"/> NO Norwegen |
| <input checked="" type="checkbox"/> CN China | <input type="checkbox"/> NZ Neuseeland |
| <input type="checkbox"/> CR Costa Rica | <input type="checkbox"/> PL Polen |
| <input type="checkbox"/> CU Kuba | <input type="checkbox"/> PT Portugal |
| <input type="checkbox"/> CZ Tschechische Republik | <input type="checkbox"/> RO Rumänien |
| <input type="checkbox"/> DE Deutschland | <input type="checkbox"/> RU Russische Föderation |
| <input type="checkbox"/> DK Dänemark | <input type="checkbox"/> SD Sudan |
| <input type="checkbox"/> DM Dominica | <input type="checkbox"/> SE Schweden |
| <input type="checkbox"/> EE Estland | <input type="checkbox"/> SG Singapur |
| <input type="checkbox"/> ES Spanien | <input type="checkbox"/> SI Slowenien |
| <input type="checkbox"/> FI Finnland | <input type="checkbox"/> SK Slowakei |
| <input type="checkbox"/> GB Vereinigtes Königreich | <input type="checkbox"/> SL Sierra Leone |
| <input type="checkbox"/> GD Grenada | <input type="checkbox"/> TJ Tadschikistan |
| <input type="checkbox"/> GE Georgien | <input type="checkbox"/> TM Turkmenistan |
| <input type="checkbox"/> GH Ghana | <input type="checkbox"/> TR Türkei |
| <input type="checkbox"/> GM Gambia | <input type="checkbox"/> TT Trinidad und Tobago |
| <input type="checkbox"/> HR Kroatien | <input type="checkbox"/> TZ Vereinigte Republik Tansania |
| <input type="checkbox"/> HU Ungarn | <input type="checkbox"/> UA Ukraine |
| <input type="checkbox"/> ID Indonesien | <input type="checkbox"/> UG Uganda |
| <input type="checkbox"/> IL Israel | <input checked="" type="checkbox"/> US Vereinigte Staaten von Amerika |
| <input type="checkbox"/> IN Indien | <input type="checkbox"/> UZ Usbekistan |
| <input type="checkbox"/> IS Island | <input type="checkbox"/> VN Vietnam |
| <input checked="" type="checkbox"/> JP Japan | <input type="checkbox"/> YU Jugoslawien |
| <input type="checkbox"/> KE Kenia | <input type="checkbox"/> ZA Südafrika |
| <input type="checkbox"/> KG Kirgisistan | <input type="checkbox"/> ZW Simbabwe |
| <input type="checkbox"/> KP Demokratische Volksrepublik Korea | |
| <input checked="" type="checkbox"/> KR Republik Korea | |
| <input type="checkbox"/> KZ Kasachstan | |
| <input type="checkbox"/> LC Saint Lucia | |
| <input type="checkbox"/> LK Sri Lanka | |

Kästchen für die Bestimmung von Staaten, die dem PCT nach der Veröffentlichung dieses Formblatts beigetreten sind:

Erklärung bzgl. vorsorglicher Bestimmungen: Zusätzlich zu den oben genannten Bestimmungen nimmt der Anmelder nach Regel 4.9 Absatz b auch alle anderen nach dem PCT zulässigen Bestimmungen vor mit Ausnahme der im Zusatzfeld genannten Bestimmungen, die von dieser Erklärung ausgenommen sind. Der Anmelder erklärt, daß diese zusätzlichen Bestimmungen unter dem Vorbehalt einer Bestätigung stehen und jede zusätzliche Bestimmung, die vor Ablauf von 15 Monaten ab dem Prioritätsdatum nicht bestätigt wurde, nach Ablauf dieser Frist als vom Anmelder zurückgenommen gilt. (Die Bestätigung (einschließlich der Gebühren) muß beim Anmeldeamt innerhalb der Frist von 15 Monaten eingehen.)

Zusatzfeld Wird dieses Zusatzfeld nicht benutzt, so sollte dieses Blatt dem Antrag nicht beigelegt werden.

1. Wenn der Platz in einem Feld nicht für alle Angaben ausreicht: In diesem Fall schreiben Sie "Fortsetzung von Feld Nr. ..." [Nummer des Feldes angeben] und machen die Angaben entsprechend der in dem Feld, in dem der Platz nicht ausreicht, vorgeschriebenen Art und Weise, insbesondere:

- (i) Wenn mehr als zwei Anmelder und/oder Erfinder vorhanden sind und kein "Fortsetzungsblatt" zur Verfügung steht: In diesem Fall schreiben Sie "Fortsetzung von Feld Nr. III" und machen für jede weitere Person die in Feld Nr. III vorgeschriebenen Angaben. Der in diesem Feld in der Anschrift angegebene Staat ist der Staat des Sitzes oder Wohnsitzes des Anmelders, sofern nachstehend kein Staat des Sitzes oder Wohnsitzes angegeben ist.
 - (ii) Wenn in Feld Nr. II oder III die Angabe "die im Zusatzfeld angegebenen Staaten" angekreuzt ist: In diesem Fall schreiben Sie "Fortsetzung von Feld Nr. II", "Fortsetzung von Feld Nr. III" bzw. "Fortsetzung von Feld Nr. II und Nr. III" und geben den Namen des Anmelders oder die Namen der Anmelder an und neben jedem Namen den Staat oder die Staaten (und/oder ggf. ARIPO-, eurasisches, europäisches oder OAPI-Patent), für die die bezeichnete Person Anmelder ist.
 - (iii) Wenn der in Feld Nr. II oder III genannte Erfinder oder Erfinder/Anmelder nicht für alle Bestimmungsstaaten oder für die Vereinigten Staaten von Amerika als Erfinder benannt ist: In diesem Fall schreiben Sie "Fortsetzung von Feld Nr. II", "Fortsetzung von Feld Nr. III" bzw. "Fortsetzung von Feld Nr. II und Nr. III" und geben den Namen des Erfinders oder die Namen der Erfinder an und neben jedem Namen den Staat oder die Staaten (und/oder ggf. ARIPO-, eurasisches, europäisches oder OAPI-Patent), für die die bezeichnete Person Erfinder ist.
 - (iv) Wenn zusätzlich zu dem Anwalt oder den Anwälten, die in Feld Nr. IV angegeben sind, weitere Anwälte bestellt sind: In diesem Fall schreiben Sie "Fortsetzung von Feld Nr. IV" und machen für jeden weiteren Anwalt die entsprechenden, in Feld Nr. IV vorgeschriebenen Angaben.
 - (v) Wenn in Feld Nr. V bei einem Staat (oder bei OAPI) die Angabe "Zusatzpatent" oder "Zusatzzertifikat," oder wenn in Feld Nr. V bei den Vereinigten Staaten von Amerika die Angabe "Fortsetzung" oder "Teilfortsetzung" hinzugefügt wird: In diesem Fall schreiben Sie "Fortsetzung von Feld Nr. V" und geben den Namen des betreffenden Staats (oder OAPI) an und nach dem Namen jedes solchen Staats (oder OAPI) das Aktenzeichen des Hauptschutzrechts oder der Hauptschutzrechtsanmeldung und das Datum der Erteilung des Hauptschutzrechts oder der Einreichung der Hauptschutzrechtsanmeldung.
 - (vi) Wenn in Feld Nr. VI die Priorität von mehr als drei früheren Anmeldungen beansprucht wird: In diesem Fall schreiben Sie "Fortsetzung von Feld Nr. VI" und machen für jede weitere frühere Anmeldung die entsprechenden, in Feld Nr. VI vorgeschriebenen Angaben.
 - (vii) Wenn in Feld Nr. VI die frühere Anmeldung eine ARIPO Anmeldung ist: In diesem Fall schreiben Sie "Fortsetzung von Feld Nr. VI" und geben, unter Angabe der Nummer der Zeile, in der die frühere Anmeldung betreffenden Angaben gemacht sind, mindestens einen Mitgliedstaat der Pariser Verbandsübereinkunft zum Schutz des gewerblichen Eigentums oder ein Mitglied der Welthandelsorganisation (WTO) (das nicht Mitgliedstaat der Verbandsübereinkunft ist) an, und für den/das die frühere Anmeldung erfolgte.
2. Wenn, im Hinblick auf die Erklärung bzgl. vorsorglicher Bestimmungen in Feld Nr. V, der Anmelder Staaten von dieser Erklärung ausnehmen möchte: In diesem Fall schreiben Sie "Bestimmung(en), die von der Erklärung bzgl. vorsorglicher Bestimmungen ausgenommen ist(sind)" und geben den Namen oder den Zweibuchstaben-Code jedes so ausgeschlossenen Staates an.
3. Wenn der Anmelder für irgendein Bestimmungsamt die Vorteile nationaler Vorschriften betreffend unschädliche Offenbarung oder Ausnahmen von der Neuheitsschädlichkeit in Anspruch nimmt: In diesem Fall schreiben Sie "Erklärung betreffend unschädliche Offenbarung oder Ausnahmen von der Neuheitsschädlichkeit" und geben im folgenden die entsprechende Erklärung ab.

Fortsetzung von Feld Nr. IV

Dr. Wolfgang Weser
Weser & Kollegen
Radeckestraße 43
D-81245 München

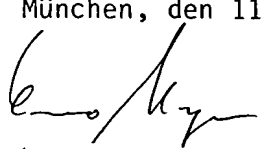
Feld Nr. VI PRIORITÄTSANSPRUCH		<input type="checkbox"/> Weitere Prioritätsansprüche sind im Zusatzfeld angegeben.		
Anmeldedatum der früheren Anmeldung (Tag/Monat/Jahr)	Aktenzeichen der früheren Anmeldung	Ist die frühere Anmeldung eine:		
		ationale Anmeldung: Staat	regionale Anmeldung: * regionales Amt	internationale Anmeldung: Anmeldeamt
Zeile (1) 11. Oktober 1999 (11.10.1999)	199 48 899.1	DE		
Zeile (2)				
Zeile (3)				

☒ Das Anmeldeamt wird ersucht, eine beglaubigte Abschrift der oben in der (den) Zeile(n) 1 bezeichneten früheren Anmeldung(en) zu erstellen und dem internationalen Büro zu übermitteln (nur falls die frühere Anmeldung(en) bei dem Amt eingereicht worden ist(sind), das für die Zwecke dieser internationalen Anmeldung Anmeldeamt ist)

** Falls es sich bei der früheren Anmeldung um eine ARIPO-Anmeldung handelt, so muß in dem Zusatzfeld mindestens ein Staat angegeben werden, der Mitgliedstaat der Pariser Verbandsübereinkunft zum Schutz des gewerblichen Eigentums ist und für den die frühere Anmeldung eingereicht wurde.*

Feld Nr. VII INTERNATIONALE RECHERCHENBEHÖRDE		
Wahl der internationalen Recherchenbehörde (ISA) (falls zwei oder mehr als zwei internationale Recherchen- behörden für die Ausführung der internationalen Recherche zuständig sind, geben Sie die von Ihnen gewählte Behörde an; der Zweibuchstaben-Code kann benutzt werden): ISA /	Antrag auf Nutzung der Ergebnisse einer früheren Recherche; Bezugnahme auf diese frühere Recherche (falls eine frühere Recherche bei der internationalen Recherchenbehörde beantragt oder von ihr durchgeführt worden ist): Datum (Tag/Monat/Jahr) Aktenzeichen Staat (oder regionales Amt)	

Feld Nr. VIII KONTROLLISTE; EINREICHUNGSSPRACHE	
Diese internationale Anmeldung enthält die folgende Anzahl von Blättern: Antrag : 5 Beschreibung (ohne Sequenzprotokollteil) : 13 Ansprüche : 5 Zusammenfassung : 1 Zeichnungen : 2 Sequenzprotokollteil der Beschreibung : Blattzahl insgesamt : 26	Dieser internationalen Anmeldung liegen die nachstehend angekreuzten Unterlagen bei: 1. <input checked="" type="checkbox"/> Blatt für die Gebührenberechnung 2. <input checked="" type="checkbox"/> Gesonderte unterzeichnete Vollmacht 3. <input type="checkbox"/> Kopie der allgemeinen Vollmacht; Aktenzeichen (falls vorhanden): 4. <input type="checkbox"/> Begründung für das Fehlen einer Unterschrift 5. <input type="checkbox"/> Prioritätsbeleg(e), in Feld Nr. VI durch folgende Zeilennummer gekennzeichnet: 6. <input type="checkbox"/> Übersetzung der internationalen Anmeldung in die folgende Sprache: 7. <input type="checkbox"/> Gesonderte Angaben zu hinterlegten Mikroorganismen oder anderem biologischen Material 8. <input type="checkbox"/> Protokoll der Nucleotid- und/oder Aminosäuresequenzen in computerlesbarer Form 9. <input checked="" type="checkbox"/> Sonstige (einzeln auflisten): Scheck, DM 3.739,74
Abbildung der Zeichnungen, die mit der Zusammenfassung veröffentlicht werden soll (Nr.): 1	Sprache, in der die internationale Anmeldung eingereicht wird: deutsch

Feld Nr. IX UNTERSCHRIFT DES ANMELDERS ODER DES ANWALTS
Der Name jeder unterzeichnenden Person ist neben der Unterschrift zu wiederholen, und es ist anzugeben, sofern sich dies nicht eindeutig aus dem Antrag ergibt, in welcher Eigenschaft die Person unterzeichnet.
München, den 11/10/00  (Dr. Meyer)

Vom Anmeldeamt auszufüllen	
1. Datum des tatsächlichen Eingangs dieser internationalen Anmeldung: 3. Geändertes Eingangsdatum aufgrund nachträglich, jedoch fristgerecht eingegangener Unterlagen oder Zeichnungen zur Vervollständigung dieser internationalen Anmeldung: 4. Datum des fristgerechten Eingangs der angeforderten Richtigstellungen nach Artikel 11(2) PCT:	2. Zeichnungen <input type="checkbox"/> eingegangen: <input type="checkbox"/> nicht eingegangen:
5. Internationale Recherchenbehörde (falls zwei oder mehr zuständig sind): ISA /	6. <input type="checkbox"/> Übermittlung des Recherchenexemplars bis zur Zahlung der Recherchegebühr aufgeschoben

Vom Internationalen Büro auszufüllen	
Datum des Eingangs des Aktenexemplars beim Internationalen Büro:	

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts GR 99 P 5026-PCT	WEITERES VORGEHEN siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5
Internationales Aktenzeichen PCT/DE 00/ 03601	Internationales Anmeldedatum (Tag/Monat/Jahr) 11/10/2000
(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) 11/10/1999	
Anmelder INFINEON TECHNOLOGIES AG et al.	

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 3 Blätter.



Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

- a. Hinsichtlich der **Sprache** ist die internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.



Die internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

- b. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das



in der internationalen Anmeldung in schriftlicher Form enthalten ist.



zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.



bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.



bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.



Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.



Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der Bezeichnung der Erfindung



wird der vom Anmelder eingereichte Wortlaut genehmigt.



wurde der Wortlaut von der Behörde wie folgt festgesetzt:

FREQUENZKORREKTUR UNTER VERWENDUNG DES CORDIC-ALGORITHMUS

5. Hinsichtlich der Zusammenfassung



wird der vom Anmelder eingereichte Wortlaut genehmigt.



wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der Zeichnungen ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 1



wie vom Anmelder vorgeschlagen



keine der Abb.



weil der Anmelder selbst keine Abbildung vorgeschlagen hat.



weil diese Abbildung die Erfindung besser kennzeichnet.

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H04L27/22

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H04L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

WPI Data, EPO-Internal, PAJ, INSPEC, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 486 095 A (PHILIPS NV) 20. Mai 1992 (1992-05-20) Seite 2, Zeile 51 - Zeile 54 Seite 6, Zeile 34 - Zeile 41 Seite 7, Zeile 40 - Seite 8, Zeile 11 Abbildung 2 ---	1-17
X	US 5 748 682 A (MOBIN MOHAMMAD SHAFIUL) 5. Mai 1998 (1998-05-05) Spalte 13, Zeile 17 - Zeile 26 Abbildung 8 ---	1-17
X	US 5 550 869 A (GOLDENBERG YOAV ET AL) 27. August 1996 (1996-08-27) Spalte 7, Zeile 47 - Zeile 67 ---	1-17

	-/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. April 2001

Absenddatum des internationalen Recherchenberichts

25/04/2001

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Orozco Roura, C

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	NAHM S ET AL: "A CORDIC-BASED DIGITAL QUADRATURE MIXER: COMPARISON WITH A ROM-BASED ARCHITECTURE" ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, Bd. 4, 31. Mai 1998 (1998-05-31), Seiten 385-388, XP000873520 New York, USA ISBN: 0-7803-4456-1 Seite 386, linke Spalte ----	1-17
A	EP 0 481 543 A (PHILIPS NV) 22. April 1992 (1992-04-22) Spalte 2, Zeile 10 -Spalte 3, Zeile 24 -----	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/03601

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0486095	A	20-05-1992	NL 9002489 A AT 148963 T DE 69124663 D DE 69124663 T ES 2100203 T FI 915331 A JP 6037664 A KR 209386 B US 5230011 A	01-06-1992 15-02-1997 27-03-1997 31-07-1997 16-06-1997 16-05-1992 10-02-1994 15-07-1999 20-07-1993
US 5748682	A	05-05-1998	NONE	
US 5550869	A	27-08-1996	AT 183869 T AU 716743 B AU 4933297 A AU 682336 B AU 5961594 A BR 9305988 A CA 2130269 A CN 1092231 A CZ 9401975 A CZ 9702794 A CZ 9702795 A CZ 9702796 A DE 69326140 D DE 69326140 T EP 0628229 A EP 0848523 A HU 68003 A JP 7508389 T NO 943189 A NZ 261042 A PL 305556 A PL 175825 B RU 2128399 C WO 9416505 A	15-09-1999 02-03-2000 05-03-1998 02-10-1997 15-08-1994 21-10-1997 21-07-1994 14-09-1994 15-02-1995 14-10-1998 14-10-1998 14-10-1998 30-09-1999 20-04-2000 14-12-1994 17-06-1998 29-05-1995 14-09-1995 28-10-1994 26-07-1996 23-01-1995 26-02-1999 27-03-1999 21-07-1994
EP 0481543	A	22-04-1992	GB 2248532 A JP 4290004 A	08-04-1992 14-10-1992